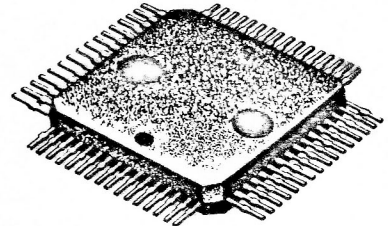


KA1801BM4

16-разрядный микропроцессор

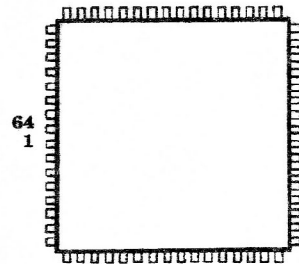
Общие сведения

- Разрядность данных 16
- Представление чисел с фиксированной запятой
16/32-разрядных и плавающей
запятой 32/64-разрядных
- Число регистров
общего назначения 6 шестизрядных
4 Мбайт
- Время выполнения операций 400 нс
- Быстродействие $2 \cdot 10^6$ оп./с
- Число уровней прерывания 4



Описание

БИС KA1801BM4 – однокристалльный микропроцессор обработки чисел в формате с плавающей запятой, предназначенный для работы под управлением центрального процессора KA1801BM3, выполняющего адресацию операндов и управление обменами с памятью. Микросхема осуществляет обработку цифровой информации, представленной в виде 32/64-разрядных чисел в формате с плавающей запятой, а также преобразование 16/32-разрядных чисел, представленных в формате с фиксированной запятой, в форматы чисел с плавающей запятой и наоборот.



Расположение выводов

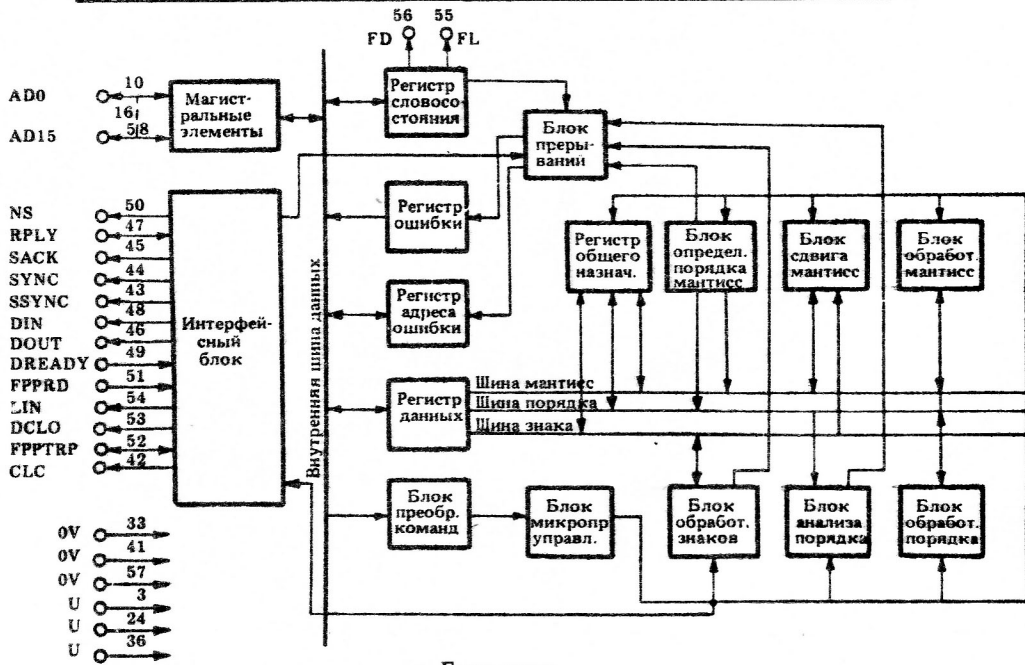
Назначение выводов

№ вывода	Обозначение	Наименование вывода
1	AD8	Восьмой разряд адреса-данных системной магистрали
64	AD9	Девятый разряд адреса-данных системной магистрали
63	AD10	Десятый разряд адреса-данных системной магистрали
62	AD11	Одиннадцатый разряд адреса-данных системной магистрали
61	AD12	Двенадцатый разряд адреса-данных системной магистрали
60	AD13	Тринадцатый разряд адреса-данных системной магистрали
59	AD14	Четырнадцатый разряд адреса-данных системной магистрали
58	AD15	Пятнадцатый разряд адреса-данных системной магистрали
33	OV	Общий вывод
56	FD	Признак двойной точности
55	FL	Признак двойного целого
54	LIN	Сигнал начала выполнения команды
53	DCLO	Сигнал включения источника питания постоянного напряжения
52	FPPTRP	Сигнал прерывания
51	FPPRD	Сигнал готовности
50	NS	Сигнал приема команды
49	DREADY	Сигнал готовности данных
48	DIN	Сигнал управления вводом данных



продолжение

47	RPLY	Сигнал ответа приемника информации
46	DOUT	Сигнал управления выводом данных
45	SACK	Сигнал подтверждения запроса прямого
44	SYNC	Сигнал синхронизации обмена
43	SSYNC	Сигнал синхронизации устройства
42	CLC	Тактовый импульс
41	OV	Общий вывод
3	U	Вывод питания от источника напряжения
57	OV	Общий вывод
26...29		Не используются
31...32		Не используются
34...41		Не используются
24	U	Вывод питания от источника напряжения
43...55		Не используются
10	AD0	Нулевой разряд адреса-данных системной магистрали
9	AD1	Первый разряд адреса-данных системной магистрали
8	AD2	Второй разряд адреса-данных системной магистрали
7	AD3	Третий разряд адреса-данных системной магистрали
6	AD4	Четвертый разряд адреса-данных системной магистрали
5	AD5	Пятый разряд адреса-данных системной магистрали
4	AD6	Шестой разряд адреса-данных системной магистрали
36	U	Вывод питания от источника напряжения
2	AD7	Седьмой разряд адреса-данных системной магистрали



Блок-схема



Система команд

п/п	К о м а н д а		Наименование команды	Время выполн. (число период.), T _c
	Мнемоника	Код		
1/2	MULF/MULD	171ACSS	Умножение с одинарной/двойной точностью	51/66
3/4	ADDF/ADDD	172ACSS	Сложение с одинарной/двойной точностью	58/58
5/6	SUBF/SUBD	173ACSS	Вычитание с одинарной/двойной точностью	58
7/8	STF/STD	174ACDD	Запись операнда с одинарной/двойной точностью	12
9	STEXP	175ACDD	Запись порядка	
10/11	STCFD/STCDF	176ACDD	Запись и преобразование числа с плавающей запятой из одинарной точности в двойную и наоборот	21
12/13	LDCIF/LDCID	177ACSS	Чтение и преобразование числа с фиксированной запятой одинарной/двойной точности в число с плавающей запятой одинарной/двойной точности	39
14/15	LDCLF/LDCLD			24
16/17	MODE/MODD	171(4+ AC)SS	Умножение с одинарной/двойной точностью и выделение целой и дробной части произведения	113/132
18/19	LDF/LDD	172(4+ AC)SS	Чтение с одинарной/двойной точностью	15
20/21	CMPF/CPMD	173(4+ AC)SS	Сравнение с одинарной/двойной точностью	22
22/23	DIVF/DIVD	174(4+ AC)SS	Деление с одинарной/двойной точностью	83/132
24/25	STCFI/STCFL	175(4+ AC)DD	Запись и преобразование числа с плавающей запятой одинарной/двойной точности в число с фиксированной запятой одинарной/двойной точности	40
26/27	STCDI/STCDL			
28	LDEXP	176(4+ AC)SS	Чтение порядка	23
29/30	LDCDF/LDCFD	177(4+ AC)SS	Чтение и преобразование числа с плавающей запятой одинарной точности в двойную и наоборот	
31	LDFPS	1701SS	Чтение слова состояния	15
32	STEPS	1702DD	Запись слова состояния	8
33	STST	1703DD	Запись регистра ошибок и адреса прерывания	8
34/35	CLRF/CLRD	1704DD	Очистка числа одинарной/двойной точности	10
36/37	TSTF/TSTD	1705DD	Тестирование с одинарной/двойной точностью	14
38/39	ABSF/ABSD	1706DD	Вычисление абсолютной величины с одинарной/двойной точностью	14
40/41	NEGF/NEGD	1707DD	Изменение знака числа с одинарной/двойной точностью	14
42	CFCC	170009	Пересылка 4 разрядов регистра состояний	8
43	SETF	170001	Установка режима одинарной точности для чисел с плавающей запятой	8
44	SETI	170002	Установка режима одинарной точности для чисел с фиксированной запятой	8
45	SETD	170011	Установка режима двойной точности для чисел с плавающей запятой	8



KA1801BM4

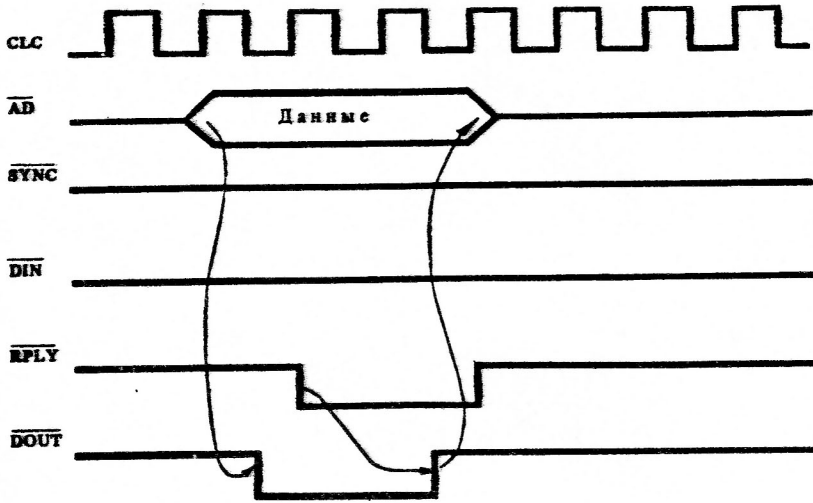
продолжение

46	SETL	170012 1700(4-7)X 1700(2-3)X 1700(0-1)(4-7) 1700(0-1)3 17(1-77)0(6-7) 170010	Установка режима двойной точности для чисел с фиксированной запятой Запрещенные коды команд	8
----	------	--	--	---

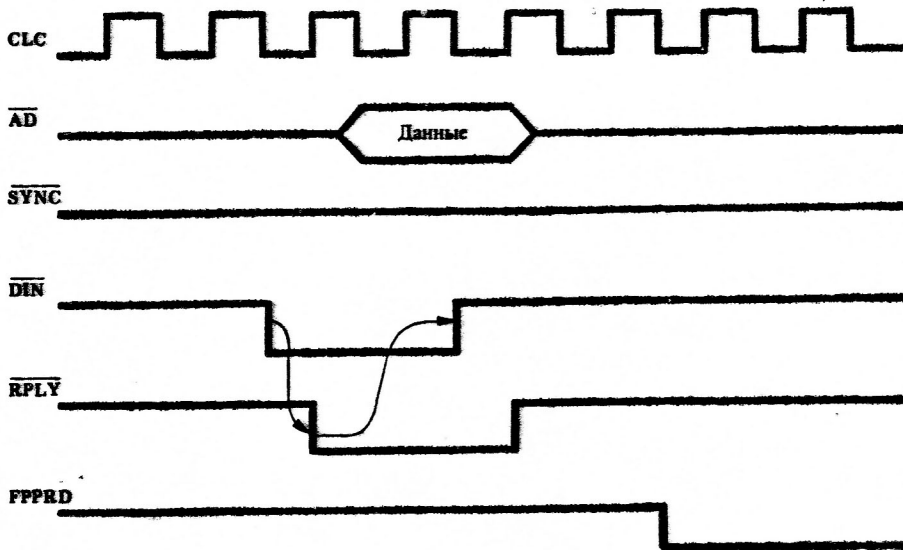
- AC — адрес регистра общего назначения процессора с плавающей запятой
- SS — адрес источника операнда
- DD — адрес приемника операнда
- X — безразличное состояние
- T_c — период тактовой частоты

Указанное время выполнения команд определено при регистровом методе адресации и является средним для команд SUB и ADD и максимальным для всех остальных команд. В командах № 9, 12 ... 15, 24 ... 28, 31 ... 33 используются только регистры основного процессора по полю приемника (DD) или источника (SS).



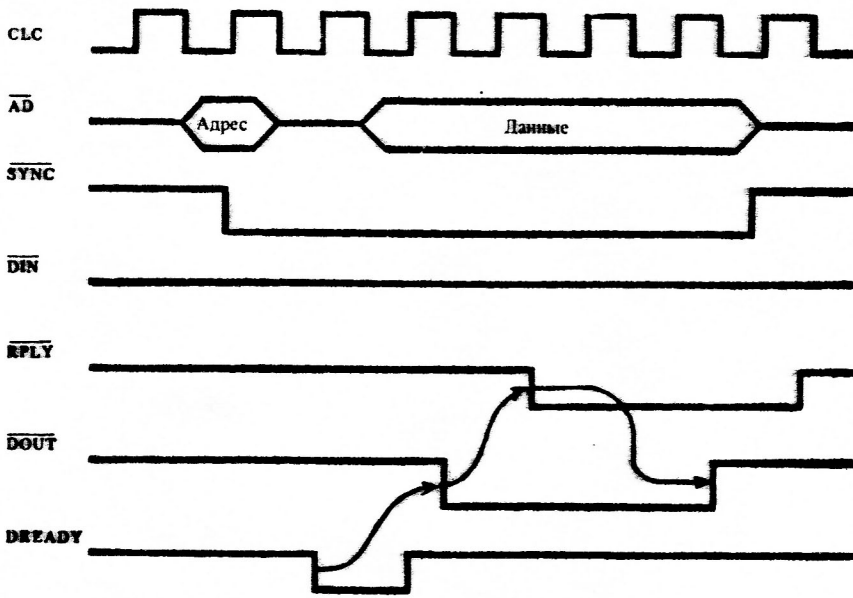


Режим передачи данных из BM3 в BM4

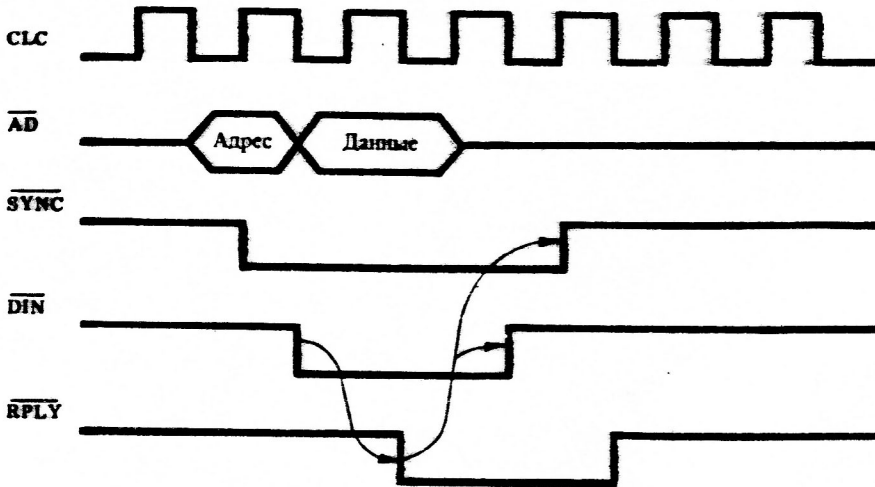


Режим передачи данных из BM4 в BM3



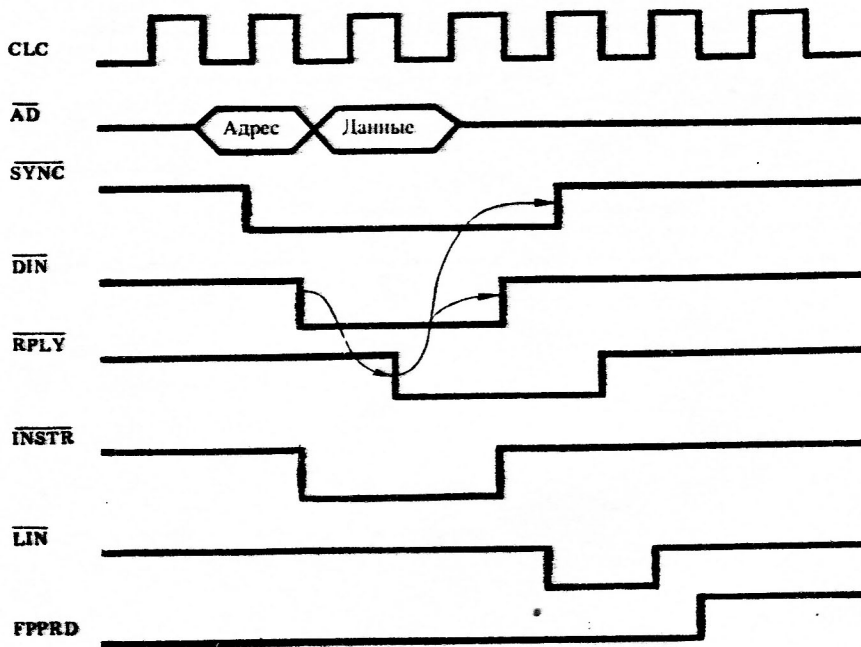


Режим записи данных из ВМ4 в память



Режим приема данных из памяти





Режим приема команды процессором

