

**ЭЛЕКТРОНИКА:  
ПЕРСПЕКТИВНАЯ ЭЛЕМЕНТНАЯ  
БАЗА И ПРИМЕНЕНИЕ**

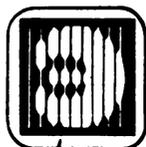
**В.Г.ДОМРАЧЕВ П.П.МАЛЬЦЕВ  
И.В.НОВАЧЕНКО С.Н.ПОНОМАРЕВ**

# **Базовые матричные кристаллы и матричные БИС**

---

**ЭНЕРГОАТОМИЗДАТ**





**ЭЛЕКТРОНИКА:  
ПЕРСПЕКТИВНАЯ ЭЛЕМЕНТАРНАЯ  
БАЗА И ПРИМЕНЕНИЕ**

# **Базовые матричные кристаллы и матричные БИС**



МОСКВА ЭНЕРГОАТОМИЗДАТ 1992

ББК 32.97

Б17

УДК 681.3:621.3.032

Серия основана в 1989 году

Редакционная коллегия серии:

В. А. Горохов, В. Г. Домрачев, А. Д. Иванников, Н. М. Иванов, Г. Д. Карташов, Н. Е. Конюхов, В. В. Кульба, И. П. Норенков, П. П. Мальцев, В. М. Рыбин

Рецензент В. А. Горохов

**Базовые матричные кристаллы и матричные БИС/ В. Г. Домрачев, П. П. Мальцев, И. В. Новаченко, С. Н. Пономарев. — М.: Энергоатомиздат, 1992. — 224 с.: ил. — (Электроника: перспективная элементная база и применение).**

ISBN 5-283-01597-1

Рассмотрены принципы построения базовых матричных кристаллов. Описаны конструкция и электрические параметры цифровых (выполненных на основе ЭСЛ-, ТТЛШ-, л-МОП-, КМОП-логики) и аналоговых БМК. Приведены принципиальные электрические схемы библиотечных функциональных ячеек для десяти типов БМК. Показаны конкретные примеры реализации матричных БИС на основе К1801ВП1 для создания широко применяемых функциональных узлов.

Для специалистов, занимающихся разработкой электронной аппаратуры, а также студентов старших курсов вузов.

2404020000-077  
Б  $\frac{\quad}{051(01)-92}$  230-91

ББК 32.97

ISBN 5-283-01597-1

© Авторы, 1992

## О Г Л А В Л Е Н И Е

Предисловие . . . . .	5
Г л а в а 1. Проектирование полужаказных БИС на основе БМК . . . . .	7
1.1. Классификация методов проектирования специализированных БИС . . . . .	7
1.2. Особенности конструкции базовых кристаллов . . . . .	9
1.3. Терминология, основные параметры и характеристики базовых кристаллов . . . . .	11
1.4. Основные направления развития БМК . . . . .	14
1.5. Организация разработки БИСМ . . . . .	16
1.5.1. Основные этапы разработки БИСМ . . . . .	16
1.5.2. Инструкция по проектированию БИСМ . . . . .	18
Г л а в а 2. Цифровые БМК на основе ЭСЛ. . . . .	20
2.1. Базовые матричные кристаллы типов К1520ХМ1, К1521ХМ1. . . . .	20
2.1.1. Конструкция БМК . . . . .	27
2.1.2. Электрические параметры БМК . . . . .	32
2.2. Базовый матричный кристалл типа К1520ХМ2 . . . . .	36
2.3. Базовый матричный кристалл типа К1572ХМ1 . . . . .	36
2.3.1. Конструкция БМК . . . . .	42
2.3.2. Электрические параметры БМК . . . . .	46
Г л а в а 3. Цифровые БМК на основе ТТЛШ . . . . .	46
3.1. Базовый матричный кристалл типа К1527ХМ1 . . . . .	51
3.2. Базовый матричный кристалл типа К1548ХМ1 . . . . .	55
Г л а в а 4. Цифровые БМК на основе л-МОП. . . . .	55
4.1. Конструкция БМК типа К1801ВП1 . . . . .	57
4.2. Электрические параметры БМК . . . . .	59
Г л а в а 5. Цифровые БМК на основе КМОП . . . . .	59
5.1. Базовые матричные кристаллы типов К1806ВП1, КР1806ВП1 . . . . .	61
5.2. Базовый матричный кристалл типа К1515ХМ1 . . . . .	64
Г л а в а 6. Аналоговые БМК . . . . .	64
6.1. Особенности конструирования, архитектуры построения и процедуры проектирования полужаказных БИС на аналоговых БМК . . . . .	64
6.2. Электрические параметры и характеристики аналоговых БМК . . . . .	75
6.3. Библиотека функциональных узлов . . . . .	101
Г л а в а 7. Применение матричных БИС в унифицированных узлах РЭА . . . . .	108
7.1. Интерфейсные матричные БИС. . . . .	108
7.1.1. Адаптер магистралей СМ ЭВМ и микроЭВМ "Электроника-60" на К1801ВП1-054 . . . . .	108
7.1.2. Устройство интерфейса байтового параллельного ввода-вывода (ИРПР) на К1801ВП1-033, К1801ВП1-034 . . . . .	112
7.1.3. Устройство интерфейса с последовательной передачей данных (ИРПС) на К1801ВП1-035. . . . .	118
7.2. Матричные БИС для запоминающих устройств . . . . .	122
7.2.1. Интерфейс НГМД на К1801ВП1-033. . . . .	122
7.2.2. Программируемый контроллер НГМД на К1801ВП1-095, К1801ВП1-096, К1801ВП1-128 . . . . .	126

7.2.3. Контроллер ЗУ ЦМД на КР1806ВП1-103, КР1806ВП1-157 . . . . .	136
7.3. Контроллер клавиатуры на К1806ВП1-093 . . . . .	140
7.4. Контроллер устройства индикации на К1806ВП1-092 . . . . .	143
<b>Глава 8. Сверхбыстродействующие цифровые БМК на новых материалах</b>	<b>146</b>
<b>Приложение 1. Принципиальные электрические схемы и условные графические обозначения библиотечных ФЯ БМК типа К1521ХМ1. . . . .</b>	<b>150</b>
<b>Приложение 2. Принципиальные электрические схемы и условные графические обозначения библиотечных ФЯ БМК типа К1520ХМ1. . . . .</b>	<b>155</b>
<b>Приложение 3. Принципиальные электрические схемы и условные графические обозначения библиотечных ФЯ БМК типа К1520ХМ2. . . . .</b>	<b>161</b>
<b>Приложение 4. Принципиальные электрические схемы и условные графические обозначения библиотечных ФЯ БМК типа К1572ХМ1. . . . .</b>	<b>174</b>
<b>Приложение 5. Принципиальные электрические схемы и условные графические обозначения библиотечных ФЯ БМК типа К1527ХМ1. . . . .</b>	<b>198</b>
<b>Приложение 6. Принципиальные электрические схемы и условные графические обозначения библиотечных ФЯ БМК типа К1548ХМ1. . . . .</b>	<b>202</b>
<b>Приложение 7. Условные графические обозначения библиотечных ФЯ БМК типа К1801ВП1. . . . .</b>	<b>205</b>
<b>Приложение 8. Принципиальные электрические схемы и условные графические обозначения библиотечных ФЯ БМК типа К1515ХМ1. . . . .</b>	<b>207</b>
<b>Приложение 9. Условные графические обозначения библиотечных ФЯ БМК типа К6501ХМ1 . . . . .</b>	<b>212</b>
<b>Послесловие. Перспективные САПР на персональных ЭВМ . . . . .</b>	<b>213</b>
<b>Список литературы . . . . .</b>	<b>223</b>

## ПРЕДИСЛОВИЕ

Создание в короткие сроки современной номенклатуры специализированных схем высокой степени интеграции с использованием автоматизированных методов проектирования обеспечивается применением базовых матричных кристаллов (БМК).

Разрабатываемые матричные интегральные микросхемы с большой степенью интеграции (БИСМ) на основе БМК позволяют заменить десятки микросхем малой и средней степеней интеграции. Это обеспечивает разработчику радиоэлектронной аппаратуры (РЭА) уменьшение массогабаритных характеристик аппаратуры в 4–6 раз, экономию затрат на комплектующие изделия и материалы, снижение трудоемкости сборки и регулировки аппаратуры в 5–8 раз, снижение энергоемкости производства и эксплуатации РЭА, увеличение надежности РЭА в 2–3 раза.

Следует отметить, что до настоящего времени литература по вопросу конкретного применения БМК отечественного производства практически отсутствовала. Предлагаемая авторами книга восполняет этот пробел и является логическим дополнением к книгам "Автоматизированное проектирование СБИС на базовых кристаллах" ("Радио и связь", 1988) и "Быстродействующие матричные БИС и СБИС. Теория и проектирование" ("Радио и связь", 1989), освещающим, прежде всего, теоретические основы проектирования БМК и БИСМ.

Предлагаемая книга состоит из восьми глав. В гл. 1 излагаются основные методы проектирования специализированных интегральных микросхем с большой степенью интеграции (БИС), приводятся терминология, основные параметры и характеристики БМК и БИСМ, обсуждаются тенденции развития БМК с учетом мирового опыта их применения, даются рекомендации по организации разработки матричных БИС.

В гл. 2–5 приводятся конкретные конструкции и электрические параметры БМК различных схемотехнических исполнений на основе ЭСЛ, ТТЛШ, *n*-МОП и КМОП, выпускаемых отечественной промышленностью, даются принципиальные электрические схемы для всех библиотечных функциональных ячеек цифровых БМК, обсуждаются вопросы оценки динамических параметров БИСМ.

В гл. 6 рассматриваются особенности построения аналоговых БМК, приводятся электрические параметры функциональных ячеек и соот-

ветствующая им топология для конкретных отечественных аналоговых БМК.

В гл. 7 даются конкретные примеры применения разработанных БИСМ на основе БМК типов К1801ВП1 и КР1806ВП1, рассматриваются БИСМ для реализации стандартных интерфейсов, управления внешними запоминающими устройствами, клавиатурой и индикацией.

В гл. 8 описываются сверхбыстродействующие цифровые БМК.

Материалы книги позволят разработчику РЭА сравнить библиотеки функциональных ячеек различных БМК и выбрать подходящие электрические параметры для реализации БИСМ.

Авторы выражают благодарность В. Ф. Паниной и Л. П. Кадетовой за помощь при подготовке и оформлении рукописи.

*Авторы*

## Глава 1

### ПРОЕКТИРОВАНИЕ ПОЛУЗАКАЗНЫХ БИС НА ОСНОВЕ БМК

#### 1.1. КЛАССИФИКАЦИЯ МЕТОДОВ ПРОЕКТИРОВАНИЯ СПЕЦИАЛИЗИРОВАННЫХ БИС

Применение современных стандартных интегральных микросхем с большой степенью интеграции, микропроцессоров и запоминающих устройств, содержащих на одном кристалле несколько сотен тысяч элементов, позволяет создавать различные виды малогабаритной электронной аппаратуры, начиная с универсальных ЭВМ и кончая бытовой техникой. Однако только специализированные БИС могут придать этим изделиям уникальные свойства. Ниже приводится классификация и дается краткая сравнительная оценка существующих в настоящее время методов проектирования специализированных БИС, каждый из которых обеспечивает различную технико-экономическую эффективность реализации проекта БИС.

Для специализированных БИС наиболее применима классификация по способу их проектирования и изготовления, т. е. по способу "настройки" на реализацию конкретной функции заказчика. По этому критерию их можно разделить на заказные и полузаказные, как показано на рис. 1.1.

**З а к а з н а я** интегральная микросхема (ИС) – это ИС, разработанная на основе стандартных или специально созданных элементов и узлов по функциональной схеме заказчика. Все топологические слои заказной микросхемы являются переменными, проектируются и изготавливаются по индивидуальным для каждого типа ИС фотошаблонам. Исходя из принятого принципа классификации и определения существуют два способа изготовления заказных ИС: на основе стандартных элементов или полностью заказные. Оптимизация конструкции полностью заказных ИС осуществляется на уровне отдельных компонентов, что позволяет достичь значений параметров, предельных для данного уровня технологии. Стандартные элементы для проектирования заказных БИС выбираются из заранее спроектированной и проверенной библиотеки элементов. В состав библиотеки могут входить простые логические элементы типов И–НЕ, ИЛИ–НЕ, триггеры и др., а также макроэлементы более высокой сложности типа сумматоров, умножителей, вплоть до центрального процессорного элемента (например, типа АМД2900 и др.). Полное описание стандартных элементов, вклю-

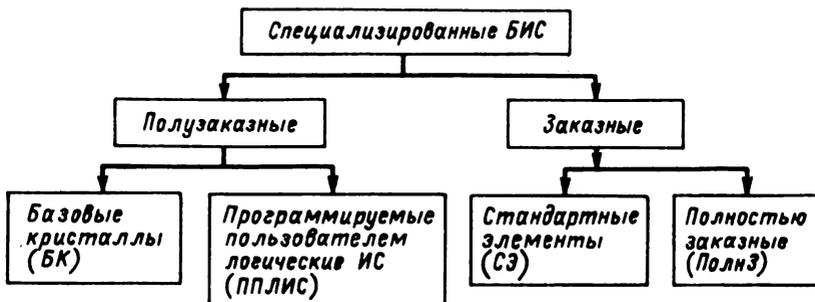


Рис. 1.1. Классификация специализированных БИС

чая функциональную и принципиальную электрическую схемы, топологию и электрические характеристики, хранится в банке данных системы автоматизированного проектирования (САПР), с помощью которой ведется разработка ИС. По плотности размещения заказные ИС на стандартных элементах приближаются к полностью заказным.

Полузаказная интегральная микросхема представляет собой совокупность заранее спроектированной постоянной части и переменной – заказной части, структура которой определяется заказчиком. К полузаказным БИС относятся микросхемы на основе базовых кристаллов (БК) и программируемых пользователем логических интегральных микросхем (ППЛИС).

В случае использования БК специализация полузаказных БИС на выполнение заданных функций осуществляется на заключительном этапе производства за счет нанесения переменных слоев межсоединений.

Для специализации ППЛИС изготовления дополнительных фотошаблонов не требуется. Программируемые пользователем логические интегральные микросхемы поставляются ему в конструктивно завершенном виде. Их программирование осуществляется пользователем электрическим способом путем изменения физического состояния элементов программирования (плавких связей, МНЮП- и ЛИЗМОП-транзисторов) или программы управления коммутацией логических элементов, хранящейся во внутренних элементах памяти [1, 2].

В табл. 1.1 показаны этапы проектирования каждого из четырех рассмотренных методов проектирования специализированных БИС [3].

Методы проектирования расположены на рисунке в порядке возрастания достижимой плотности упаковки и увеличения цикла проектирования. Решая альтернативную задачу выбора метода проектирования специализированной ИС, разработчик системы должен учитывать та-

**Т а б л и ц а 1.1. Этапы проектирования специализированных микросхем**

Этап проектирования	ППЛИС	БК	СЭ	ПолнЭ
Системное проектирование	Н	Н	Н	Н
Логическое проектирование	Н	Н	Н	Н
Схемотехническое проектирование	О	О	О	Н
Топологическое проектирование	О	Н	Н	Н
Изготовление шаблонов	О	В	Н	Н
Изготовление кристаллов	О	Н	Н	Н
Проверка готовой схемы	Н	Н	Н	Н

Примечание. Н – необходимые; В – нужные не всегда; О – ненужные.

кие факторы, как уровень сложности (число вентилях) БИС, допустимое время и стоимость разработки. Достаточно подробный технико-экономический анализ выбора метода проектирования приведен в [4].

## 1.2. ОСОБЕННОСТИ КОНСТРУКЦИИ БАЗОВЫХ КРИСТАЛЛОВ

Классическим вариантом конструкции базового кристалла является конструкция с так называемой канальной архитектурой (рис. 1.2). Такой базовый кристалл содержит центральную часть с матрицей регулярно расположенных базовых ячеек и каналы для трассировки связей между нескоммутированными элементами базового кристалла. По периферии расположены буферные элементы и контактные площадки, предназначенные для организации ввода-вывода сигналов.

Повышение степени интеграции влечет за собой увеличение площади, отводимой под межсоединения, до 60–65% площади кристалла [6]. Поиск путей повышения плотности упаковки и коэффициента использования вентилях БК привел к созданию бесканальной архитектуры. Особенностью такой конструкции является то, что центральная часть кристаллов состоит из плотно упакованных рядов нескоммутированных элементов и не содержит в первом уровне межсоединения фиксированных каналов трассировки. В этом случае любая область, в которой расположены транзисторы, при необходимости может быть использована для создания как логических элементов, так и межсоединений.

Достоинством бесканальной архитектуры является то, что за счет сокращения длины и соответственно емкости межсоединений уменьшается общая системная задержка на кристалле. Так, например, КМОП-

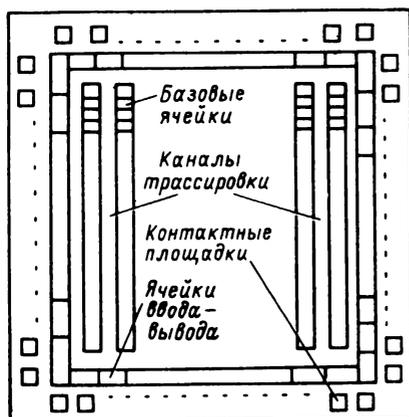


Рис. 1.2. Конструкция базового кристалла с каналной архитектурой

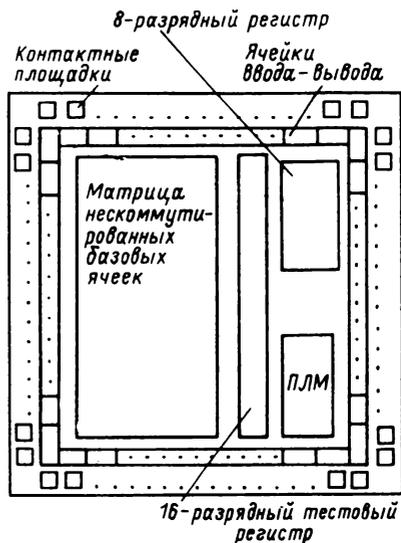


Рис. 1.3. Конструкция базового кристалла с функционально законченными узлами

кристаллы, изготовленные по проектной норме 1,5 мкм, могут работать с тактовыми частотами до 100 МГц [5].

Широкое распространение получила еще одна разновидность конструкции базовых кристаллов, которая сочетает в себе свойства как полузаказного, так и заказного методов проектирования (рис. 1.3) [6]. В этой конструкции кристаллы содержат матрицу некоммутированных элементов на основе каналной или бесканальной архитектуры и функционально законченные узлы типов ОЗУ, ПЗУ, ПДМ, регистров, сумматоров, умножителей и др. Базовые кристаллы такой конструкции предназначены для создания схем с более ограниченным кругом решаемых задач, однако конструктивное совмещение на одном кристалле функционально завершеного узла обработки или хранения информации и переменной интерфейсной части позволяет уменьшить площадь кристалла и сократить потери быстродействия в цепях, связывающих отдельные узлы.

Существуют две основные разновидности организации ячеек базового кристалла:

- 1) базовая ячейка является функционально законченным узлом, выполняющим элементарную функцию типов И-НЕ, ИЛИ-НЕ и др.;
- 2) базовая ячейка состоит из набора некоммутированных элементов — транзисторов и резисторов, на основе которых формируются библиотечные элементы.

С точки зрения схемотехнологического исполнения базовые кристаллы можно разделить на следующие группы:

сверхбыстродействующие на основе эмиттерно-связанной и токо-переключательной логики;

биполярные среднего быстродействия, совместимые по уровням сигналов с ТТЛ логикой (ТТЛШ, ИШЛ, ШТЛ и др.);

микромощные на основе КМОП- и КМОП/КНС-структур.

В последнее время появились сверхбыстродействующие базовые кристаллы на основе арсенида галлия и базовые кристаллы на основе совмещенной БИКМОП-технологии, сочетающей достоинства биполярных и КМОП-изделий. Кроме того, ряд разработок базовых кристаллов выполнен с использованием *n*-МОП-технологии.

### **1.3. ТЕРМИНОЛОГИЯ, ОСНОВНЫЕ ПАРАМЕТРЫ И ХАРАКТЕРИСТИКИ БАЗОВЫХ КРИСТАЛЛОВ**

В табл. 1.2 приведены наиболее часто употребляемые термины и определения, охватывающие понятия базового кристалла, его основных составных частей и микросхем на его основе.

В связи с тем что до настоящего времени в отечественной практике наибольшее распространение получили базовые матричные кристаллы и БИС на их основе, в дальнейшем будут использованы понятия БМК и БИСМ.

Кроме того, следует отметить, что ранее в литературе употреблялся термин "топологическая ячейка" вместо "базовая ячейка". Базовые ячейки, располагаемые в центре кристалла, называют матричными базовыми ячейками (МБЯ), а расположенные в периферийной зоне — периферийными базовыми ячейками (ПБЯ).

Как следует из определения, БМК является функционально незавершенным изделием, служащим для проектирования БИСМ на его основе. В табл. 1.3 (в дополнение к табл. 1.2) приведены термины, применяемые при проектировании БИСМ.

Эффективность построения радиоэлектронной аппаратуры с применением БИСМ во многом определяется параметрами и характеристиками БМК. Кроме того, единая система параметров БМК позволяет разработчику аппаратуры более однозначно дать сравнительную оценку возможностей БМК по реализации БИСМ и произвести выбор кристалла, наиболее подходящего для реализации заданных технических требований.

Параметры и характеристики БМК можно разделить на группы, приведенные в табл. 1.4 [7, 8].

Параметры первой группы, исключая число вентилях, вытекают из опыта синтеза цифровых устройств. Для современных БМК характерно то, что ФЯ по сложности и функциональному составу эквивалентны логическим ИС стандартных серий К100, К1500, К555, К561 и др. Пред-

**Таблица 1.2. Термины и определения, используемые при проектировании базовых кристаллов**

Термин	Определение
Базовый кристалл интегральной микросхемы. Базовый кристалл (БК)	Часть полупроводниковой пластины с определенным набором сформированных элементов, в том числе соединенных и (или) не соединенных между собой, используемая для создания интегральных микросхем путем изготовления межэлементных соединений
Базовый матричный кристалл интегральной микросхемы. Базовый матричный кристалл (БКМ)	Базовый кристалл интегральной микросхемы с регулярным расположением сформированных в нем элементов
Базовая ячейка базового матричного кристалла. Базовая ячейка (БЯ)	Совокупность несоединенных и (или) соединенных между собой элементов, регулярно повторяющихся в пределах базового матричного кристалла
Функциональная ячейка базового матричного кристалла. Функциональная ячейка (ФЯ)	Функционально законченная электрическая схема, реализуемая путем соединения элементов базового матричного кристалла в пределах одной или нескольких базовых ячеек
Библиотека функциональных ячеек базового матричного кристалла. Библиотека функциональных ячеек (БФЯ)	Совокупность функциональных ячеек базового кристалла, используемая при проектировании полужаказных матричных интегральных микросхем
Полужаказная матричная интегральная микросхема. Матричная микросхема (ИСМ)	Интегральная микросхема, разрабатываемая на основе базового матричного кристалла
Эквивалентный вентиль базового матричного кристалла. Эквивалентный вентиль (ЭВ)	Совокупность элементов базового кристалла, эквивалентных по логической функции вентилю И–НЕ (ИЛИ–НЕ), предназначенная для характеристики его логической сложности

**Таблица 1.3. Термины и определения, используемые при проектировании БИСМ**

Термин	Определение
Площадка базовой ячейки	Участок площади базовой ячейки, к которому можно подключить внешний вывод при реализации функциональных ячеек
Фрагмент базовой ячейки	Составная часть базовой ячейки
Ориентация базовой (функциональной) ячейки	Положение базовой (функциональной) ячейки на плоскости кристалла, определяемое углом ее поворота относительно точки привязки

Продолжение табл. 1.3

Термин	Определение
Выводы базовой функциональной ячейки	Точки, близлежащие к площадкам базовой ячейки, лежащие на пересечении каналов трассировки и предназначенные для подключения внешних связей при проектировании межсоединений
Канал трассировки	Пути, заранее установленные на БМК, для возможного размещения межсоединений
Постоянные межсоединения	Металлизированные соединения, конфигурация которых не зависит от схемы, реализуемой на основе БМК
Переменные межсоединения	Металлизированные соединения, конфигурация которых определяется электрической схемой, реализуемой на БМК
Межслойный контакт	Элемент топологии, предназначенный для реализации электрического контакта между межсоединениями, расположенными в различных слоях
Запрещенная зона	Часть площади БМК, запрещенная для размещения межсоединений
Разрешенная зона	Часть площади БМК, разрешенная для размещения межсоединений
Контур присоединения	Металлизированное соединение определенной конфигурации, обеспечивающее привязку площадок базовой ячейки к выводам функциональной ячейки, расположенным в каналах трассировки

*Дурант*

Таблица 1.4. Группы параметров базовых кристаллов

Номер группы	Наименование группы параметров и характеристик	Состав группы параметров и характеристик
1	Параметры, характеризующие функциональные возможности реализации ИС на БМК	Сложность (число вентиляей), тип базовой ячейки, состав библиотеки элементов Наличие в составе БК функционально законченных узлов Сложность (число вентиляей) элементов библиотеки
2	Электрические параметры базовых и периферийных ячеек, элементов библиотеки	Статические параметры – входные и выходные напряжения, ток потребления и др. Динамические параметры – время задержки базовой и периферийной ячеек, максимальная частота
3	Конструктивно-технологические параметры	Число выводов (число ячеек ввода-вывода), число уровней металлизации, трассировочная способность
4	Эксплуатационные характеристики	Устойчивость к воздействию внешних факторов Показатели надежности

полагается расширение БФЯ с включением в их состав макроячеек повышенной функциональной сложности типа сумматоров, умножителей, микропроцессорных секций и др.

Параметры третьей группы определяют возможности конструктивной реализации схем на БМК и совместно с числом вентиляей — максимальную сложность БИСМ, реализуемой на данном БМК. Взаимосвязь конструктивно-технологических параметров и теоретические вопросы оптимизации их значений подробно рассмотрены в [7, 22].

Параметры второй группы в совокупности с эксплуатационными характеристиками определяют области наиболее эффективного применения БИСМ на БМК.

#### 1.4. ОСНОВНЫЕ НАПРАВЛЕНИЯ РАЗВИТИЯ БМК

Наиболее характерные направления развития БМК очень отчетливо прослеживаются на фоне разработок зарубежных фирм, техническая политика которых в области создания БМК и организации разработок БИСМ в максимальной степени ориентирована на удовлетворение потребностей пользователей.

Прежде всего, разрабатываются группы БМК, перекрывающие широкий спектр значений уровня сложности (числа вентиляей) и быстродействия. Диапазон достигнутых параметров сложности и быстродействия БМК приведен на рис. 1.4, из которого видно, что достигнута максимальная сложность 200 тыс. вентиляей (для КМОП БМК). Максимальное быстродействие составляет 0,1 нс/вент. (для БМК на арсениде галлия) [9, 11].

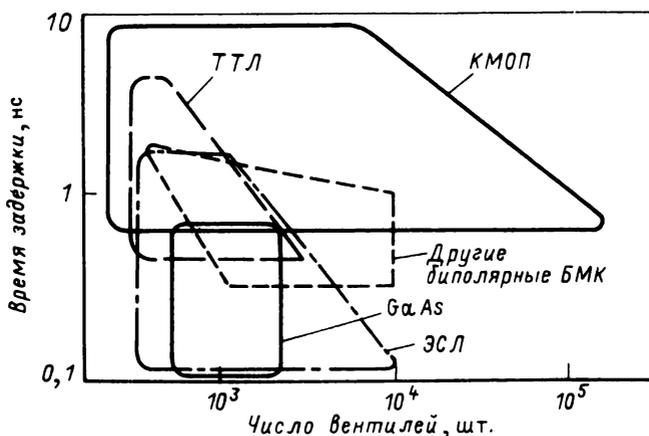


Рис. 1.4. Диапазон параметров БМК

Т а б л и ц а 1.5. Семейства базовых кристаллов фирм LSI Logic и Ferranti

Фирма	Минимальный размер элемента изделия ряда, мкм	Число типов БК в ряду, шт.	Число вентиляей, шт.	Время задержки, нс/вент.	Мощность потребления, мВт/вент.	Тип логики
LSI Logic	3	7	880–6000	2,5	–	КМОП
	2	23	554–10 013	1,4		
	1,5	18	880–129 042	1,1		
Ferranti	3	6	130–2000	2,5	0,3	ТПЛ
		11	130–4000	7,5	0,1	
		7	130–2000	15	0,03	
		13	400–10 000	15	0,15	
		8	400–4000	3,0	0,07	
		8	400–4000	10	0,02	

Базовые кристаллы предлагаются потребителю в виде семейств (рядов) различных по сложности кристаллов. Изделия каждого ряда могут иметь различные значения быстродействия и потребляемой мощности и изготавливаться по различным проектным нормам. Примеры таких семейств на основе данных, приведенных в [10, 12], указаны в табл. 1.5.

Семейство БМК фирмы LSI Logic можно разделить на три ряда. Кристаллы каждого ряда изготовлены по одинаковым проектным нормам и имеют одинаковое быстродействие. В состав каждого ряда входят одинаковые по сложности кристаллы, за исключением кристаллов с максимальной сложностью (рис. 1.5).

Признаком БМК одного ряда у фирмы Ferranti являются одинаковые значения быстродействия и мощности потребления: например, 13 типов кристаллов одного ряда с временем задержки 1,5 нс/вент. и мощностью потребления 0,15 мВт/вент. и 8 типов с параметрами 3 нс/вент. и 0,07 мВт/вент. Количество вентиляей в различных рядах также, как

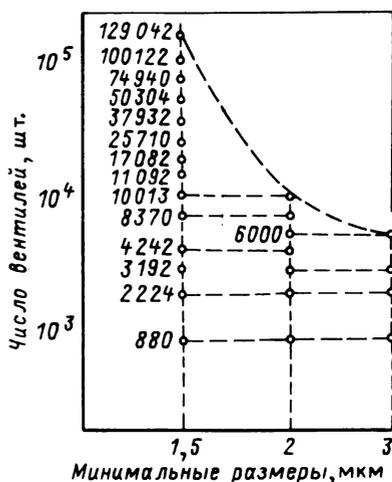


Рис. 1.5. Семейство КМОП БМК фирмы LSI Logic

правило, совпадают. Такое разнообразие БМК позволяет потребителю выбрать кристалл, позволяющий с максимальной эффективностью достичь требуемых параметров БИСМ, в том числе обеспечить наименьшую избыточность элементов.

Каждый БМК выпускается в нескольких разновидностях конструктивного исполнения, отличающихся типом и числом выводов корпуса. Так, например, БМК серии НСА 3000 фирмы Motorola выпускаются в корпусах с двухрядным и матричным расположением, в пластмассовых и керамических кристаллоносителях с числом выводов от 28 до 124 [10, 13].

В области организации разработок полужаказных БИС потребителю представляется широкий набор услуг, включающий в себя организацию региональных центров проектирования, где обеспечивается возможность обучения методике проектирования и предоставляются технические средства фирмы-поставщика для проектирования разрабатываемых БИСМ. Длительность обучения методике проектирования составляет 2–5 дней, время проектирования БИСМ – 4–8 недель. Опытные образцы поставляются потребителю через 4–6 недель [14].

Используемые при проектировании САПР можно разделить на две группы:

САПР, разработанные изготовителем БК и ориентированные на узкий круг выпускаемых ими изделий;

универсальные САПР, предназначенные для широкого класса БК, разрабатываемые и поставляемые на рынок фирмами, специализирующимися на разработке САПР.

Вопросы построения архитектуры САПР, методов автоматизации этапов проектирования, организации работ проектировщика достаточно подробно рассмотрены в [14–21].

## **1.5. ОРГАНИЗАЦИЯ РАЗРАБОТКИ БИСМ**

### **1.5.1. Основные этапы разработки БИСМ**

Цикл разработки БИСМ состоит из двух основных этапов:

создание метода проектирования БИСМ (или, иначе, этап разработки БМК);

разработка непосредственно БИСМ.

На этапе разработки БМК выполняются следующие виды работ:

разработка электрических схем БФЯ и их топологии;

разработка конструкции БЯ и БМК;

изготовление, исследование и испытания опытных образцов БМК.

Результатом разработки БМК является создание инструкции по проектированию, содержащей информацию, необходимую для проектирования БИСМ. Более подробно содержание типовой инструкции по проектированию будет рассмотрено ниже.

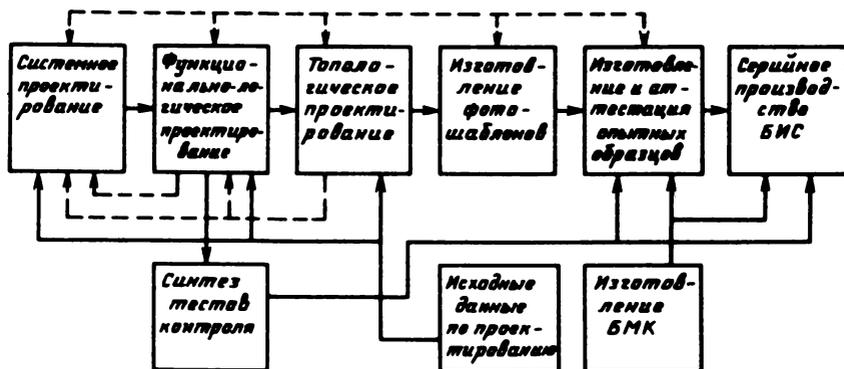


Рис. 1.6. Маршрут разработки БИСМ

Разработку БМК проводят предприятия — изготовители микросхем, имеющие большой опыт по созданию элементной базы. Заказчик на этом этапе участвует в разработке требований к функциональному составу БФЯ.

Разработка БИСМ включает в себя (рис. 1.6):

- системное проектирование;
- синтез функциональной (электрической) схемы в терминах БФЯ; логическое моделирование;
- синтез тестов контроля (функционального, статического и динамического);
- разработку топологии межсоединений;
- машинный расчет электрических параметров и моделирование работоспособности с учетом реальной топологии межсоединений;
- верификация проекта на соответствие исходной электрической схеме и конструктивно-технологическим ограничениям;
- изготовление фотошаблонов;
- изготовление, исследование и испытания опытных образцов.

При таком составе работ весь цикл разработки полузаказной микросхемы разбивается на два самостоятельных этапа: проектирование и изготовление и испытания опытных образцов, при этом этап проектирования имеет ряд характерных особенностей:

все проектные процедуры строго формализованы и выполняются по правилам, изложенным в инструкции по проектированию. Это, с одной стороны, лишает разработчиков некоторой свободы при выборе проектных решений, а с другой стороны, позволяет полнее автоматизировать наиболее трудоемкие этапы маршрута проектирования;

процесс проектирования имеет, как правило, итерационный характер, так как до завершения топологического проектирования нельзя

гарантировать возможность реализации заданной функциональной схемы на данном БМК. Кроме того, в процессе проектирования нередко возникает необходимость корректировки функциональной схемы и придания ей дополнительных функций.

Все сказанное выше и предопределило закрепленное на практике распределение обязанностей между заказчиками и изготовителями полузаказных микросхем, при котором:

заказчик проводит разработку функциональной (электрической) схемы, топологии межсоединений, тестов функционального контроля, а в отдельных случаях и программы функционально-параметрического контроля;

изготовитель осуществляет изготовление базового кристалла, проводит входной контроль проекта полузаказной микросхемы, изготавливает и испытывает опытные образцы.

В реальных условиях по взаимной договоренности возможны некоторые уточнения в распределении обязанностей между заказчиком и изготовителем, вплоть до того, что изготовитель осуществляет поставку нескоммутированных пластин-полуфабрикатов, а все дальнейшие процедуры по проектированию и нанесению заключительной металлизации проводят заказчики, совмещая функции и заказчика, и изготовителя.

### **1.5.2. Инструкция по проектированию БИСМ**

Одним из основных итогов этапа создания БМК является разработка инструкции по проектированию полузаказных микросхем. Такая инструкция должна содержать следующие обязательные разделы: общие положения, описание конструкции БМК, описание библиотеки функциональных ячеек БМК, правила проектирования полузаказных микросхем на БМК.

Дополнительно в состав инструкции могут быть включены разделы с описанием маршрута проектирования и рекомендаций по разработке измерительных программ контроля.

Описание БФЯ и рекомендации по разработке измерительных программ контроля могут быть выполнены в виде отдельных документов в качестве приложения к инструкции.

В разделе "Общие положения" указывается область распространения документа, приводятся принятые в документе термины и определения, а также список принятых сокращений.

В разделе "Описание конструкции БМК" приводятся общие данные, характеризующие БМК:

размер кристалла;

тип корпуса;

общее число базовых и периферийных ячеек на кристалле и их описание;

расположение на кристалле базовых и периферийных ячеек, контактных площадок, каналов трассировки, шин питания и земли;  
число уровней металлизации для нанесения межсоединений;  
электрофизические параметры и конструктивно-технологические ограничения БМК и др.

Раздел "Описание библиотеки функциональных ячеек" содержит сведения, необходимые для выполнения этапов архитектурного и логического проектирований полузаказной микросхемы и расчета ее электрических характеристик. В состав раздела включаются следующие основные данные:

состав БФЯ, выполняемые функции, электрические схемы ФЯ и условно-графические обозначения;

основные электрические параметры ФЯ и сложность (число эквивалентных вентилях или базовых ячеек) ФЯ;

сведения о приращении задержек ФЯ в зависимости от емкости нагрузки, температуры, напряжения питания, числа объединенных выходов;

методика расчета временных и энергетических параметров проектируемой микросхемы;

рекомендации и ограничения при проектировании электрических схем.

Приводятся также другие сведения, необходимые для проектирования.

В разделе "Правила проектирования полузаказных микросхем" приводится информация, необходимая для проектирования топологии межсоединений, включающая в себя, например:

основные требования к системе металлизированных соединений;

шаг сетки проектирования по осям  $X$  и  $Y$ ;

возможные точки привязки (ориентации) ФЯ;

места расположения контактных площадок ФЯ;

рекомендации по проектированию межсоединений и др.

В разделе "Маршрут проектирования полузаказных микросхем" дается описание состава и последовательности этапов проектирования от разработки функциональной схемы до изготовления и испытаний готовых образцов микросхем. В разделе может быть указана ориентировочная трудоемкость выполнения этапов проектирования.

В разделе "Рекомендации по разработке измерительных программ контроля" приводится методика составления программ параметрического и функционального контроля разрабатываемой микросхемы, учитывающая специфику БМК и применяемого изготовителем контрольно-измерительного оборудования.

Изложенный выше порядок разработки БИСМ соответствует созданию микросхем на цифровых БМК. При использовании аналоговых БМК имеются некоторые особенности, изложенные в гл. 6.

Для ознакомления с основными характеристиками и конструкциями цифровых БМК в последующих главах рассматриваются их параметры и электрические схемы библиотечных функциональных элементов. Седьмая глава книги посвящена вопросам применения наиболее популярного (у широкого потребителя матричных БИС на основе БМК) типа К1801ВП1.

## Глава 2

### ЦИФРОВЫЕ БМК НА ОСНОВЕ ЭСЛ

#### 2.1. БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ ТИПОВ К1520ХМ1 И К1521ХМ1

##### 2.1.1. Конструкция БМК

Для создания полужаказных БИС на основе ЭСЛ одними из первых были разработаны БМК типа К1520ХМ1, совместимый с серией К1500, и типа К1521ХМ1, совместимый с серией К100 [18, 23]. Кристаллы обоих этих БМК одинаковы и имеют размеры 4,4 × 3,3 мм.

Состав элементов их МБЯ и ПБЯ также одинаков. Схематично кристалл изображен на рис. 2.1. Сначала опишем БМК типа К1521ХМ1,

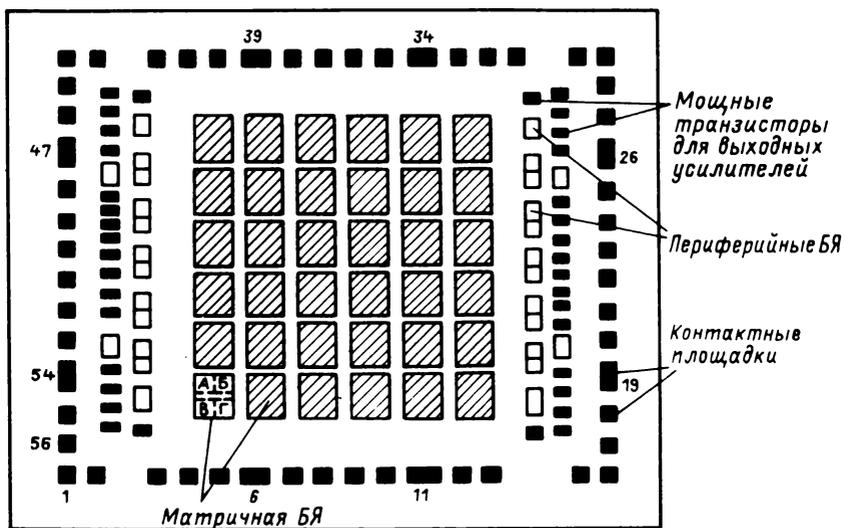


Рис. 2.1. Схематичное изображение кристалла БМК типов К1520ХМ1, К1521ХМ1

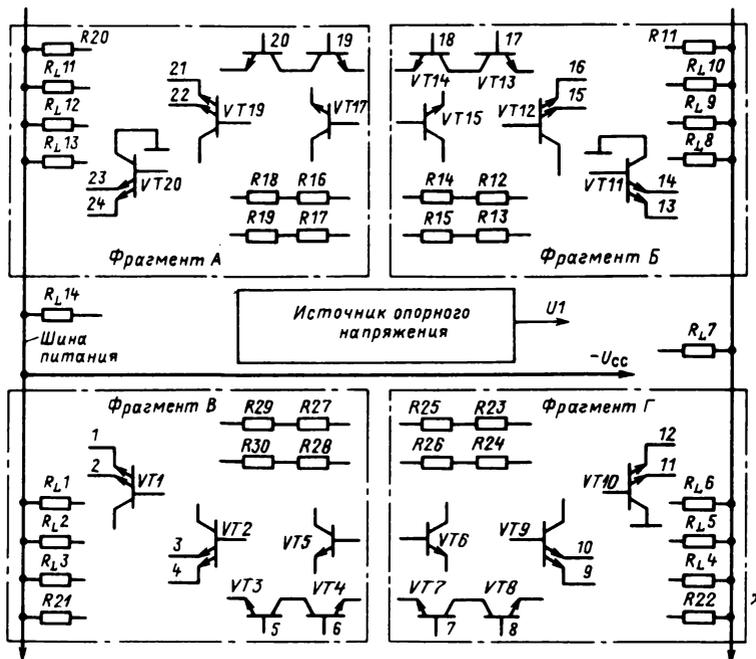


Рис. 2.2. Набор элементов МБЯ для БМК типов K1520XM1, K1521XM1

который обеспечивает совместимое функционирование БИСМ и микросхем средней степени интеграции серии K100.

Внутренняя часть БМК типа K1521XM1 представляет собой квадратную (6 × 6) матрицу из 36 матричных (внутренних) базовых ячеек. В состав каждой МБЯ входят четыре фрагмента (на рис. 2.2 обозначены буквами А–Г) с одинаковыми наборами нескоммутированных транзисторов и резисторов для реализации схем ФЯ, источник опорного напряжения для этих схем, 14 резисторов (обозначенных на рис. 2.2 как  $R_L1-R_L14$ ), которые могут использоваться в качестве резисторов нагрузки ФЯ. Фрагменты А–Г являются зеркальным отображением друг друга. Принципиальная электрическая схема источника опорного напряжения МБЯ показана на рис. 2.3.

Периферийная часть БМК содержит 24 периферийные базовые ячейки, 36 мощных транзисторов, 4 источника базового и опорного напряжений, 48 входных сопротивлений и 56 контактных площадок кристалла.

Периферийные БЯ предназначены для реализации 24 схем выходных усилителей, которые могут быть двух типов: двухвходовый выходной усилитель  $U1$  и четырехвходовый выходной усилитель  $U2$ .

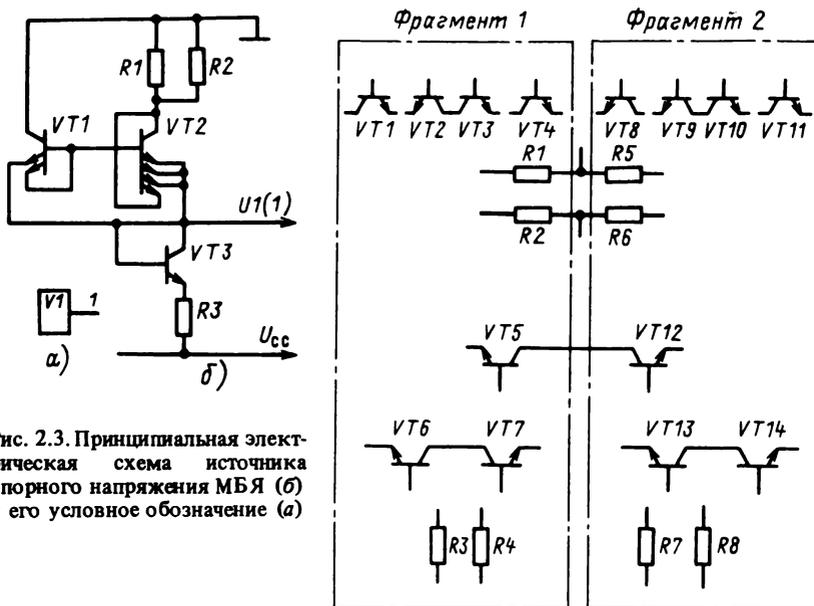


Рис. 2.3. Принципиальная электрическая схема источника опорного напряжения МБЯ (б) и его условное обозначение (а)

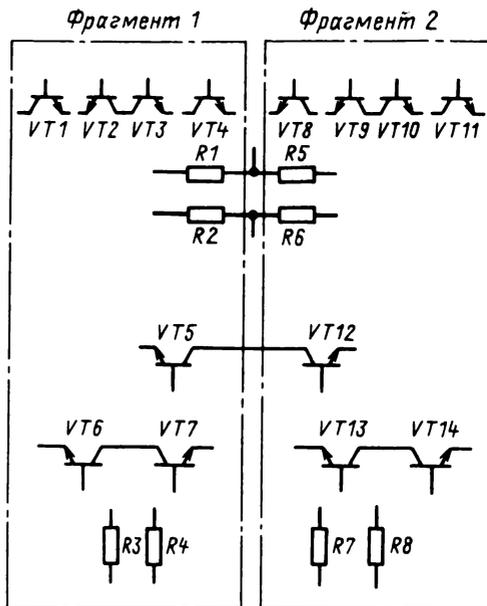


Рис. 2.4. Набор элементов ПБЯ для БМК типов K1520XM1, K1521XM1

Все ПБЯ состоят из двух одинаковых фрагментов и позволяют одновременно реализовывать два выходных усилителя типов  $U1$  и  $U2$  либо  $U1$  и  $U1$ . Однако в ПБЯ, расположенных около узлов матрицы, имеется только один фрагмент, позволяющий реализовать один любой тип усилителя.

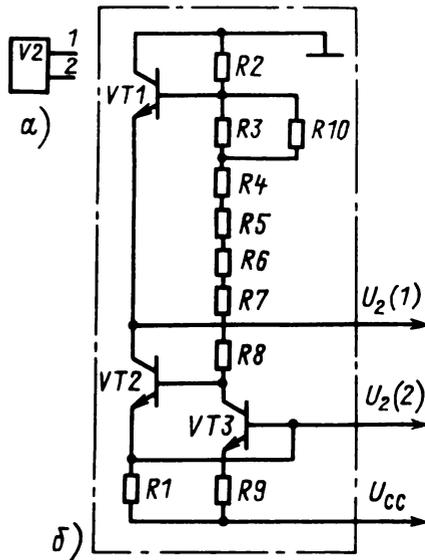
Набор элементов ПБЯ, состоящий из двух фрагментов, показан на рис. 2.4. Набор элементов однофрагментной ПБЯ включает в себя фрагмент полностью и один дополнительный транзистор из соседнего фрагмента для создания пары  $VT5-VT12$ .

Мощные транзисторы (см. рис. 2.1) предназначены для реализации эмиттерных повторителей в выходных усилителях.

Источники базового и опорного напряжений, расположенные в периферийной части БМК, также предназначены для схем выходных усилителей. Принципиальная электрическая схема источника опорного и базового напряжений для выходных усилителей  $U1$  и  $U2$  приведена на рис. 2.5, а принципиальные схемы  $U1$  и  $U2$  – на рис. 2.6.

Из 56 контактных площадок 48 являются сигнальными. Между ними находятся 48 входных сопротивлений, позволяющих использовать любую сигнальную контактную площадку для подачи входного сигнала. Контактные площадки, обозначенные на рис. 2.1 номерами 6, 11,

Рис. 2.5. Принципиальная электрическая схема источника опорного напряжения для ПБЯ (б) и его условное обозначение (а)



34, 39, предназначены для разводки питания, а 19, 26, 47, 54 — для заземления.

Проводники шин питания (первый слой соединений) и заземления (второй слой соединений), относящиеся к постоянным соединениям БМК, выполнены в двух слоях и образуют сетку, накрывающую весь кристалл, при этом шесть горизонтальных и две вертикальные шины заземления выполнены во втором слое металлизации. Все фрагменты МБЯ расположены в прямоугольниках, образованных сеткой шин питания и заземления, а источники опорного напряжения в МБЯ — под шиной заземления.

Библиотека ФЯ для БМК содержит девять типов ФЯ (Ф01—Ф09), выполненных на элементах одного или нескольких фрагментов МБЯ. Принципиальные электрические схемы и условные графические обозначения БФЯ приведены в приложении 1. Два типа выходных усилителей ( $U_1$  и  $U_2$ ) выполнены на элементах одного или двух фрагментов ПБЯ с использованием мощных транзисторов.

Общее число компонентов на БМК типа К1521ХМ1 составляет 2,75 тыс. (табл. 2.1). Для создания матричных БИС на основе библиотечных ФЯ используются трассы, соединяющие МБЯ и ПБЯ.

Вертикальные каналы трассировки на БМК предназначены для проведения трасс в первом слое: по четыре канала слева и справа от каждой МБЯ, по 2 канала между вертикальной шиной питания и областью ПБЯ, по 2 канала между вертикальной шиной заземления и областью ПБЯ — всего 56 вертикальных каналов трассировки.

Горизонтальные каналы трассировки предусмотрены для проведения трасс во втором слое: до 13 трасс в каждом из 6 промежутков между горизонтальными шинами заземления и по 7 трасс между горизонтальными шинами питания и заземления — всего 79 горизонтальных каналов трассировки.

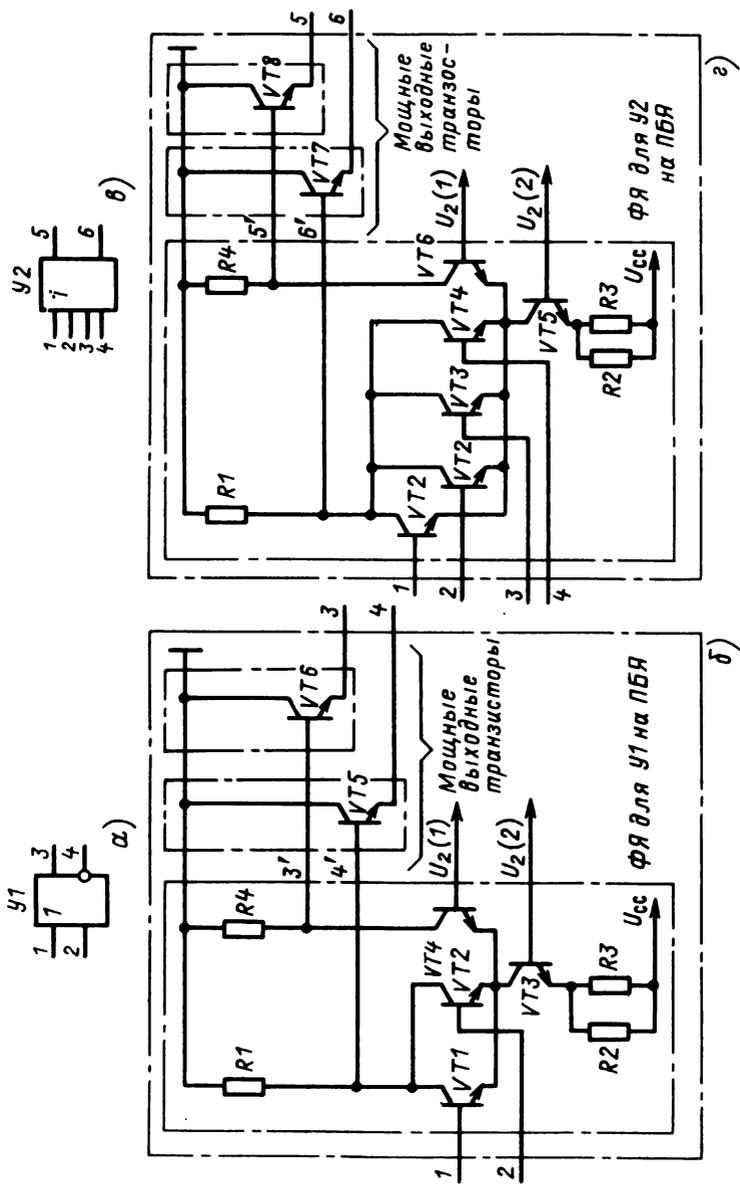


Рис. 2.6. Принципиальные электрические схемы выходных усилителей (б, з) и их условные обозначения (а, в)

Т а б л и ц а 2.1. Число компонентов на БМК типа К1521ХМ1

Название схемы или элемента	Число транзи- сторов в схеме	Число рези- сторов в схеме	Число данных схем на БМК	Всего на БМК	
				транзи- сторов	рези- сторов
Матричная базовая ячейка	20	34	36	720	1224
Источник опорного напряжения в МТЯ	4	6	36	144	216
Фрагмент периферийной базовой ячейки	7	6	24	168	144
Источник базового и опорного напряжения для усилителей	3	10	4	12	40
Мощные транзисторы для вы- ходных усилителей	1	—	36	36	—
Выходные резисторы, располо- женные рядом с сигнальными контактными площадками кри- сталла	—	1	18	—	48
И т о г о				1080	1672
				2752	

При использовании САПР для создания переменных избирательных соединений БИСМ вводится сетка проектирования с шагом по горизонтали 16, по вертикали 22 мкм. Указанные размеры определяются допустимой шириной металлизированных соединений и зазоров между ними в первом и втором слоях соединений соответственно. Все элементы внутренней части кристалла и большая часть элементов периферийной части кристалла расположены с учетом сетки проектирования.

Матричные БЯ мультиплицируются с шагом  $\Delta X = 480$  мкм по оси  $X$  и  $\Delta Y = 429$  мкм по оси  $Y$ . Мультипликация и нумерация строк и столбцов матрицы начинаются от точки  $M$  с масштабом изображения 100 : 1.

Допускают четыре варианта размещения библиотечных МФЯ на матричной БЯ, которые отличаются местами расположения выводов электрической схемы на площади МБЯ. Каждому размещению соответствуют конкретные эталоны металлизации матричных ФЯ (МФЯ) и их ориентация в точке привязки эталона. Имеются восемь типов ориентации: В, СВ, Н, СН, П, СП, Л, СЛ, из которых первые четыре типа применяются для эталонов.

Участки площади БЯ, к которым могут подводиться выводы электрической схемы любой библиотечной ФЯ при всех ее возможных вариантах расположения, называются площадками БЯ.

Номера выводов электрической схемы библиотечных МФЯ меняются по отношению к номерам площадок МБЯ для каждого из четырех вариантов их расположения. Один из этих вариантов для каждой библиотечной МФЯ является эталоном металлизации, и их ориентация

является точкой привязки, которая рассчитывается относительно точки 0 с учетом номеров столбца и строки матрицы.

В зависимости от сложности МФЯ занимает от одного до четырех фрагментов МБЯ, что позволяет производить размещение нескольких МФЯ на площади МБЯ с учетом их вариантов расположения и обеспечить использование всех фрагментов МБЯ.

Для возможности использования САПР все выводы МБЯ с помощью присоединительных металлизированных контуров, оформленных в виде отдельных эталонов, могут быть выведены в точки пересечения каналов трассировки для первого и второго слоев металлизации, что позволяет выполнять в этих местах переход из одного слоя металлизированных соединений в другой и проводить переменные соединения для полузаказной БИС по каналам трассировки. Присоединительные контуры являются площадками МБЯ.

Ввиду того что контуры присоединения накладывают ограничения на свободу автотрассировки, уменьшая ее, привязка эталонов, содержащих эти контуры, осуществляется только для задействованных выводов МФЯ с ориентацией В. Если имеются незадействованные входы и выходы МФЯ, необходимо вводить эталонные перемычки, соединяющие базы с эмиттерами соответствующих (входных или выходных) транзисторов.

Резисторы нагрузки МБЯ (на рис. 2.2 обозначены  $R_L 1 - R_L 14$ ) присоединяются к выходам эмиттерных повторителей МФЯ на этапе трассировки БИСМ, исходя из требований к электрическим параметрам (быстродействию, помехозащищенности) реализуемой функциональной схемы. Из 14 резисторов нагрузки выбирают те, которые наиболее удобно расположены для трассировки. Для вывода их в места пересечения вертикальных и горизонтальных каналов трассировки создаются соответствующие эталоны.

Подключение МФЯ к шинам питания осуществляется автоматически при привязке металлизации МФЯ в любую МБЯ. Для реализации функций Ф01—Ф09 необходимо заземлять внутренние резисторы БЯ, являющиеся коллекторной нагрузкой логических вентилях.

Через незадействованные МБЯ разрешается проводить трассы только во втором слое металлизированных соединений. К каждой такой ячейке в точке, называемой в дальнейшем точкой мультиплицирования, необходимо привязать эталон, содержащий фиктивный слой, описывающий зону, запрещенную для трассировки в первом слое металлизированных соединений.

Через задействованные МБЯ разрешается проводить трассы только во втором слое металлизированных соединений с учетом запрещенных для трассировки зон.

Допускаются два варианта размещения (эталона) ПФЯ для выходных усилителей  $U1$  и  $U2$  на ПБЯ, отличающихся расположением выводов электрической схемы выходных усилителей на площадках ПБЯ

и соответствующих ориентациям Л и СП. Выходы ПФЯ являются выходами эмиттерных повторителей, которые на этапе трассировки БИСМ присоединяют к базам мощных транзисторов, наиболее удобных расположенных для трассировки. Недействующие входы выходных транзисторов с помощью перемычек необходимо присоединить к эмиттерам соответствующих транзисторов.

В силу относительно малых габаритных размеров мощных транзисторов их контуры не могут быть выведены в шаге сетки проектирования, поэтому подсоединение мощных транзисторов к выходным усилителям  $У1$  и  $У2$  выполняется на этапе доразводки БИСМ в интерактивном режиме на ЭВМ.

Для недействующих ПБЯ контур описывает зону, запрещенную для трассировки в первом слое металлизации.

Между контактными площадками на кристалле размещены входные резисторы, которые одним выводом через окно подсоединяются к контактному площадкам, а другим – к трассам БИСМ; ввиду малых размеров окна резисторов невозможно вывести в узлы сетки проектирования, поэтому их присоединение к трассам осуществляется на этапе доразводки БИС в интерактивном режиме на ЭВМ.

Максимальное сопротивление шины, подводящей напряжение питания к источнику базового и опорного напряжений для выходных усилителей (от места ее соединения с постоянной шиной питания), не более 0,5 Ом.

Минимальная ширина шины, соединяющей эмиттер мощного транзистора в выходном усилителе с контактной площадкой кристалла, не менее 22 мкм.

Максимальная длина шины, соединяющей коллектор переключающего транзистора ПФЯ с базой мощного транзистора в выходном усилителе  $У1$  ( $У2$ ), не более 1000 мкм.

### 2.1.2. Электрические параметры БМК

Полузаказные матричные БИС, реализованные на основе К1521ХМ1, функционируют при напряжении питания  $-5,2$  В с допустимым разбросом его  $\pm 5\%$ , при этом обеспечиваются следующие значения выходных напряжений:  $-0,98$  В – высокого уровня и  $-1,63$  В – низкого уровня; пороговые значения входных напряжений следующие:  $-1,105$  В – высокого уровня и  $-1,475$  В – низкого уровня.

Максимально допустимая мощность, рассеиваемая на кристалле БИСМ, не более 4,5 Вт при максимальной температуре на кристалле не более  $+100$  °С.

Основными динамическими параметрами ФЯ являются задержки распространения сигнала  $t_{PLH}$  при переключении и длительности фронта и среза  $t_{TLH}$  выходных сигналов [23, 25]. В табл. 2.2 приве-

Т а б л и ц а 2.2. Динамические параметры ФЯ

Тип МФЯ	Номинальные значения параметров МФЯ				Номер выхо- да при опре- делении $t_{PHL}'$ $t_{PLH}'$ $t_{TLH, N}'$ $t_{THL, N}'$	Мощность потребле- ния $P$ , мВт
	$t_{PLH}'$ нс	$t_{TLH, N}'$ нс/В	$t_{PHL}'$ нс	$t_{THL, N}'$ нс/В		
Ф01	0,90	1,25	0,90	1,25	3, 4	14
	0,80	1,70	0,90	1,25	5, 6	
Ф02	1,00	1,50	1,00	1,40	3-6	14
Ф03	0,85	1,95	0,95	1,40	3-6	14
	1,00	1,50	1,00	1,45	5-8	
Ф04	0,90	2,30	1,05	1,55	9-12	14
	1,10	2,45	0,95	1,40	5-6	
Ф05	0,80	1,70	0,90	1,25	7-10	28
	1,15	3,00	1,00	1,55	7, 8	
Ф06	0,80	1,70	0,90	1,25	9-14	42
	1,20	3,55	1,05	1,70	9, 10	
Ф07	0,80	1,70	0,90	1,25	11-18	56
	1,10	2,45	0,95	1,40	6	
Ф08	0,80	1,70	0,90	1,25	4, 5, 7, 8	28
	1,15	3,00	1,00	1,55	7	
Ф09	0,80	1,70	0,90	1,25	5, 6, 8-11	42
	0,85	1,90	0,95	1,90	3	
У1	0,95	1,90	0,85	1,90	4	56
	0,95	2,20	1,05	2,20	5	
У2	1,05	2,20	0,95	2,20	6	56

дены значения динамических параметров для ФЯ БМК типа К1521ХМ1. Следует отметить, что в этой таблице время фронта и среза отнормировано относительно разницы напряжений логических уровней, измеряемых от 0,2 до 0,8 значения логической 1.

Значения параметров  $t_{PLH}'$  и  $t_{TLH, N}'$  в табл. 2.2 приведены при работе МФЯ без подключения к ее выходу нагрузки и входов других ФЯ, при этом входной сигнал имеет амплитуду 0,8 В и симметричен относительно порога переключения (опорного напряжения) при нормированной длительности фронта входного сигнала  $\tau_{TN} = 1,25$  нс/В. Разброс значений указанных выше динамических параметров в диапазоне рабочих температур и питающих напряжений составляет  $\pm 35\%$  номинального значения.

Максимальное число входов МФЯ, нагруженных на один ее выход, 10. Кроме того, в отдельных схемах можно подключать 20 входов (на все выходы Ф02-Ф04). При подключении входов ПФЯ к выходам МФЯ следует учитывать, что один вход ПФЯ эквивалентен двум выходам МФЯ.

К каждому выходу МФЯ можно подключать только один резистор нагрузки. При объединении двух эмиттеров одного и того же двух-эмиттерного транзистора выходного повторителя МФЯ допускается подключение к выходу двух резисторов. Максимальное число объединяемых выходов МФЯ – четыре.

Для исключения влияния падения напряжения на логической связи за счет выходного тока эмиттерного повторителя МФЯ резистор нагрузки рекомендуется выбирать рядом (в той же ПФЯ) с соответствующим выходом МФЯ. При объединении эмиттеров МФЯ максимальная длина логической связи от выхода МФЯ до резистора нагрузки не должна превышать 1 мм. При подключении объединенных выходов МФЯ к двум резисторам нагрузки рекомендуется выбирать их рядом с наиболее удаленными выходами МФЯ из числа входящих в данное объединение.

При наличии объединений выходов МФЯ временные параметры ухудшаются. Так, время задержки возрастает при объединении двух выходов на 0,27 нс, при объединении трех выходов на 0,35 нс, при объединении четырех выходов на 0,4 нс; если число резисторов нагрузки, подключаемых к объединению, увеличить до двух (вместо одного), то время задержки возрастет на 0,54 нс при четырех объединенных выходах.

Следует обратить внимание на необходимость попарного соединения выходов МФЯ и входов ПФЯ, при этом объединение выходов МФЯ запрещается.

При объединении  $n$  выходов МФЯ эквивалентное приращение емкости нагрузки, пФ, по каждому из объединяемых выходов рассчитывается по формуле  $\Delta C_{L_{\text{экв}}} = 0,05(n - 1)$ .

Приращение динамических параметров от увеличения емкости нагрузки  $C_L$  в 2 раза (1–4 пФ) возрастает в 2–3 раза.

Динамические параметры при изменении нормированной длительности фронта входного сигнала  $\tau_{T,N}$  имеют следующие приращения, нс:  $\Delta t_{PLN} = K_1(\tau_{T,N} - 1,25)$ ;  $\Delta t_{TLN} = K_2(\tau_{T,N} - 1,25)$ .

Значения коэффициентов для различных МФЯ изменяются и лежат в диапазонах:  $K_1$  – от 0,05 до 0,12;  $K_2$  – от 0,1 до 0,44.

При расчете времени задержки распространения сигнала в цепях с учетом рассогласования между порогом переключения (опорным напряжением) и серединой перепада логических напряжений на выходе ФЯ поправка к времени задержки распространения по каждому выходу ФЯ определяется выражением

$$\Delta t_{PLN} \approx \tau_T \Delta U,$$

где  $\Delta U$  – рассогласование между порогом переключения и серединой перепада логических напряжений на выходе ФЯ в рабочем диапазоне

температур, причем  $\Delta U = 0,02 \pm 0,08$  В, а для МФЯ, имеющих объединенные коллекторы,  $\Delta U = (0,01 \div 0,12) \pm 0,08$  В. При расчете времени задержки  $\Delta U$  принимается минимальным или максимальным одновременно для всех ФЯ на кристалле.

Кроме того, при переключении части выходов (из числа входящих в эмиттерное объединение) из высокого уровня в низкий в случае, если хотя бы один из выходов, входящих в объединение, остается в высоком уровне (т. е. на объединении сохраняется напряжение высокого уровня), то на этом выходе возникает импульсная помеха в виде провала с амплитудой  $A_{\text{п}}$  и длительностью  $\Delta t_{\text{п}}$  (на уровне  $0,5A_{\text{п}}$ ), изменяющимися при увеличении числа объединяемых выходов МФЯ; при двух объединяемых выходах  $A_{\text{п}} = 150$  мВ,  $\Delta t_{\text{п}} = 1,1$  нс; при трех  $A_{\text{п}} = 180$  мВ,  $\Delta t_{\text{п}} = 1,15$  нс; при четырех  $A_{\text{п}} = 200$  мВ,  $\Delta t_{\text{п}} = 1,2$  нс. При увеличении числа резисторов нагрузки с одного до двух параметры помех сохраняются.

Периферийная ФЯ может работать на внешнюю нагрузку  $R_{\text{Л}} = 50$  Ом при напряжении питания  $-2$  В или на четыре внутренних резистора нагрузки, находящихся на том же кристалле.

При объединении двух выходов ПФЯ запас помехоустойчивости по напряжению низкого уровня уменьшается на 30 мВ, а при объединении трех выходов — на 45 мВ. Допускается подключение в коллектор переключающего транзистора ПФЯ двух мощных эмиттерных повторителей, каждый из которых работает на свою нагрузку, но при этом запас помехоустойчивости по напряжению высокого уровня уменьшается на 100 мВ.

При объединении  $n$  выходов ПФЯ эквивалентное приращение емкости нагрузки, ПФ, по каждому из объединяемых выходов рассчитывается по формуле

$$\Delta C_{\text{Л экв}} = 1,6(n - 1).$$

Временные параметры при увеличении емкости нагрузки  $C_{\text{Л}}$  в 2 раза (2–16 пФ) возрастают в 2–3 раза.

Мощность потребления полузаказной БИС является суммой мощностей всех задействованных МФЯ и ПФЯ. В табл. 2.2 приведены мощности потребления МФЯ и ПФЯ без учета мощности, потребляемой эмиттерными повторителями.

Максимальная рассеиваемая мощность одного эмиттерного повторителя составляет:

- 1) 17 мВт для МФЯ при напряжении высокого уровня и 14 мВт при напряжении низкого уровня;
- 2) 20 мВт для ПФЯ при работе на внешнюю нагрузку  $R_{\text{Л}} = 50$  Ом при напряжении высокого уровня и 11 мВт при напряжении низкого уровня;
- 3) 72 мВт для ПФЯ при работе на четыре внутренних резистора на-

грузки при напряжении высокого уровня и 58 мВт при напряжении низкого уровня.

Максимальная рассеиваемая мощность источника опорного напряжения МФЯ равна 20 мВт и ПФЯ 38 мВт.

Таким образом, приведенные выше электрические параметры позволяют оценить задержку распространения и мощность рассеяния в полу-заказной БИСМ.

**Особенности БМК типа К1520ХМ1.** Напряжение питания БМК типа К1520ХМ1 равно  $-4,5$  В и имеет допустимый разброс  $\pm 5\%$ , при этом обеспечиваются следующие значения выходных напряжений:  $-0,88$  В – высокого уровня и  $-1,81$  В – низкого уровня; пороговые значения входных напряжений следующие:  $-1,165$  В – высокого уровня и  $-1,475$  В – низкого уровня.

Библиотека ФЯ кроме Ф01–Ф09 (практически таких же, как и у К1521ХМ1) содержит дополнительные МФЯ с номерами Ф13–Ф20, которые приведены в приложении 2.

Следует отметить, что источники опорного напряжения для К1520ХМ1 отличаются от генераторов для К1521ХМ1. На рис. 2.7 приведены принципиальные электрические схемы источников опорного напряжения для МБЯ и ПБЯ соответственно. Несколько отличаются также и выходные усилители (рис. 2.8), которые позволяют работать совместно с микросхемами серии К1500 [23].

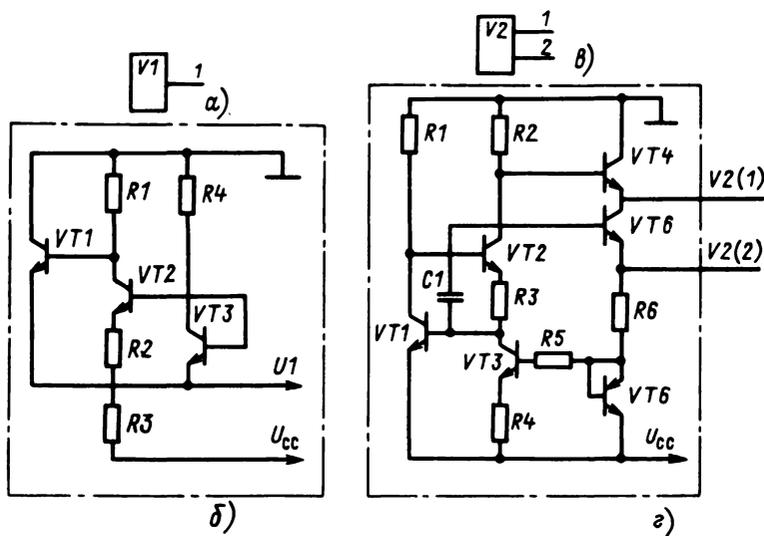


Рис. 2.7. Принципиальные электрические схемы источников опорного напряжения для МБЯ (б), ПБЯ (в) и их условные обозначения (а, в)

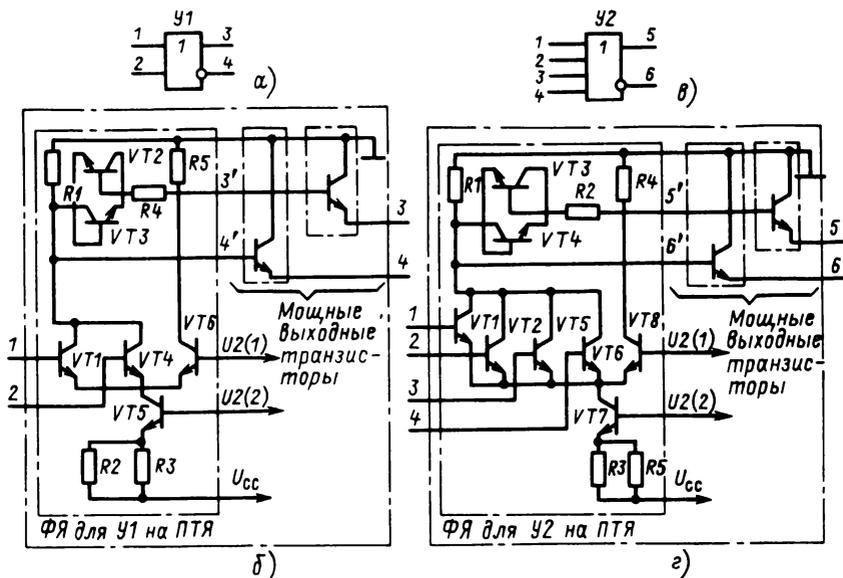


Рис. 2.8. Принципиальная электрическая схема выходных усилителей  $U1$  (б),  $U2$  (е) и их условные обозначения (а, в)

Остальные параметры  $K1520XM1$  и  $K1521XM1$  одинаковы. Следовательно, ранее рассмотренные рекомендации по проектированию БИСМ распространяются на оба типа БМК.

## 2.2. БАЗОВЫЙ МАТРИЧНЫЙ КРИСТАЛЛ ТИПА $K1520XM2$

Создание более сложных функциональных узлов, совместимых с микросхемами серии  $K1500$ , возможно при переходе от БМК типа  $K1520XM1$  к БМК типа  $K1520XM2$  [18, 23], размер кристалла которого  $5,1 \times 5,3$  мм; кристалл условно разделен на внутреннюю и периферийную части и имеет контактные площадки по периметру (рис. 2.9).

Внутренняя часть БМК типа  $K1520XM2$  представляет собой матрицу  $8 \times 9$  из 72 МБЯ. В состав каждой МБЯ входят четыре фрагмента с одинаковым набором элементов (10 резисторов, 17 транзисторов, 1 подпыр), которые являются зеркальным отображением друг друга относительно центра ячейки и имеют при этом обозначения ориентации 0, 10, 2, 12 (на рис. 2.10 изображен фрагмент с ориентацией 0).

Периферийная часть содержит 42 выходных усилителя, расположенных в верхней и нижней частях кристалла совместно с четырьмя источниками опорных напряжений. Справа и слева от матрицы расположены восемь источников опорного напряжения для МБЯ. На рис. 2.11

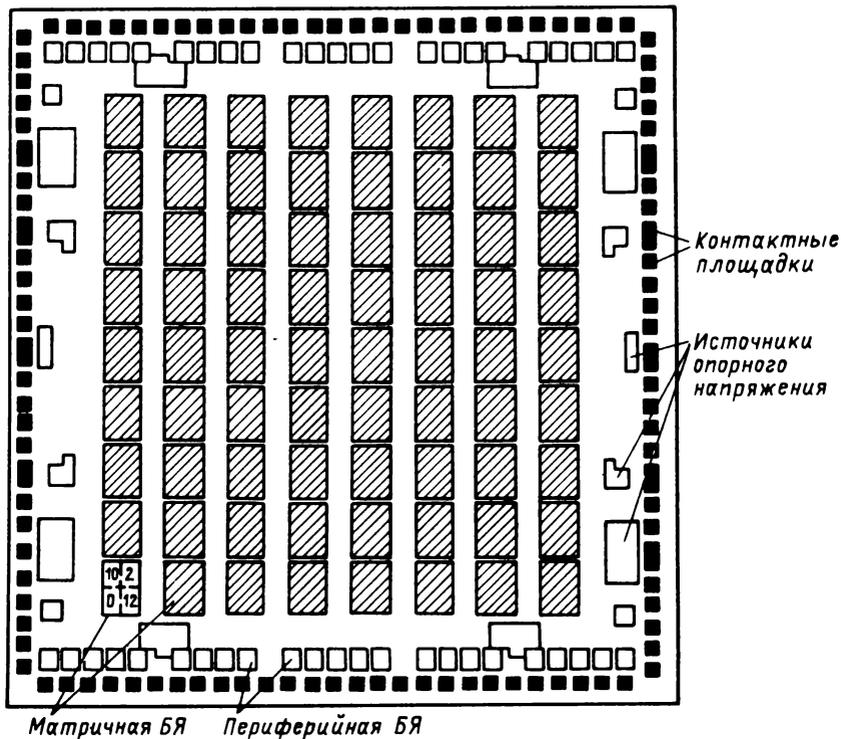


Рис. 2.9. Схематичное изображение кристалла БМК типа К1520ХМ2

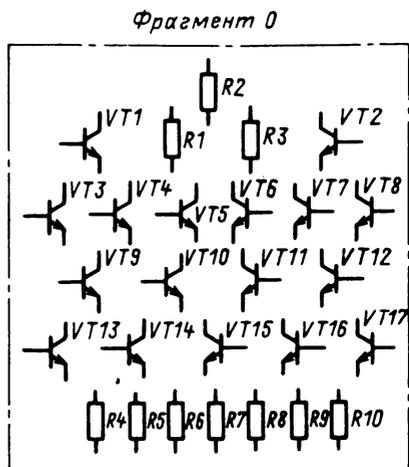


Рис. 2.10. Фрагмент МБЯ для БМК типа К1520ХМ2

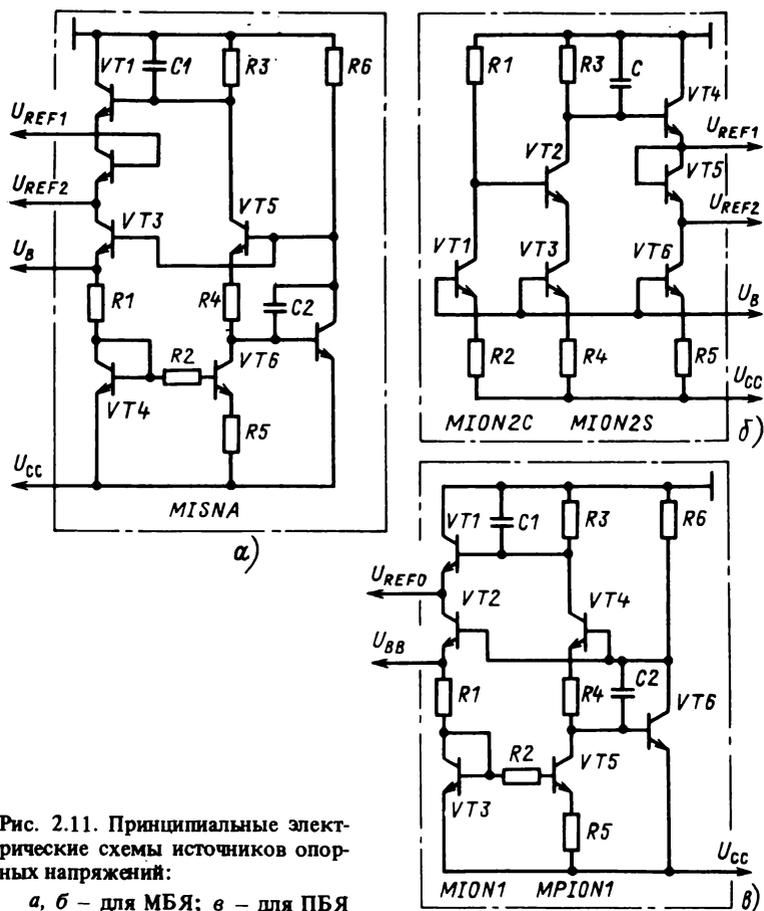


Рис. 2.11. Принципиальные электрические схемы источников опорных напряжений:

а, б – для МБЯ; в – для ПБЯ

приведены принципиальные электрические схемы источников опорных напряжений, а на рис. 2.12 – схема выходного усилителя. Назначение источников и выходного усилителя то же, что и для K1520XM1 и K1521XM1. Более подробное описание работы элементов БМК на основе ЭСЛ изложено в [22].

Общее число контактных площадок на кристалле 108, из них 90 – сигнальных, 10 – “земля”, 8 – напряжение питания.

Библиотека ФЯ содержит 16 типов (МО1–М16), каждый из которых состоит из элементов, составляющих 1 МБЯ. Принципиальные электрические схемы и условные графические обозначения БФЯ приведены в приложении 3. Все входы и выходы ФЯ подходят к узлам сетки проектирования.

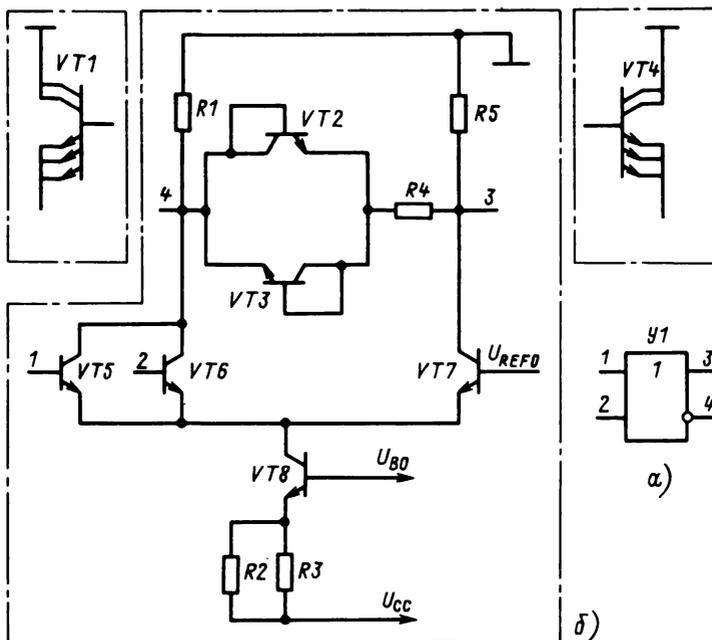


Рис. 2.12. Условное обозначение (а) и принципиальная электрическая схема (б) выходного усилителя

За узел сетки проектирования принята середина сигнальных трасс с шагами  $\Delta X = 13$  мкм,  $\Delta Y = 15$  мкм при ширине трассы 8 мкм. Между столбцами матрицы можно провести 15 трасс для осуществления межсоединений БИСМ, а слева и справа от матрицы – 10 и 9 трасс соответственно. Для трасс первого уровня приоритетным является вертикальное направление, а для трасс второго уровня – горизонтальное.

Напряжение питания БМК типа К1520ХМ2 равно  $-4,5$  В с разбросом  $\pm 5\%$ . Базовый матричный кристалл типа К1520ХМ2 имеет логические уровни, соответствующие логическим уровням микросхем серии К1500 и БМК типа К1520ХМ1. Параметры выходных характеристик БМК типа К1520ХМ2 аналогичны соответствующим параметрам БМК типа К1520ХМ1.

Следует отметить, что источники опорного напряжения рассчитаны на различную мощность и поэтому выбираются в зависимости от числа переключателей в БИСМ. Максимальная мощность потребления БМК равна 4,5 Вт.

Характер влияния различных вариантов нагрузок на динамические параметры аналогичен для всех типов кристаллов (К1520ХМ2, К1520ХМ1, К1521ХМ1) и был рассмотрен выше.

На основе этих БМК с ЭСЛ создано более 500 типов БИСМ.

### 2.3. БАЗОВЫЙ МАТРИЧНЫЙ КРИСТАЛЛ ТИПА К1572ХМ1

#### 2.3.1. Конструкция БМК

Полузаказные БИС на основе БМК типа К1572ХМ1 совместимы по электрическим параметрам с микросхемами серии 1500 и БМК типов К1520ХМ1, К1520ХМ2. Однако в отличие от последних в БЯ БМК типа К1572ХМ1 применяются почти сформированные в первом слое металла переключатели тока, которые имеют дополнительные топологические элементы, позволяющие закорачивать или разрывать отдельные участки электрической схемы.

Кристалл БМК типа К1572ХМ1 условно разделен на внутреннюю и периферийную части, а также имеет контактные площадки по периметру. Схематично он изображен на рис. 2.13.

Внутренняя часть кристалла представляет собой матрицы (3 × 6) из 18 блоков (базовых ячеек), в каждом из которых возможно построение функциональной ячейки, имеющей габаритные размеры 1/4, 1/2 или 1 площади блока, т. е. блок (базовая ячейка) состоит из че-

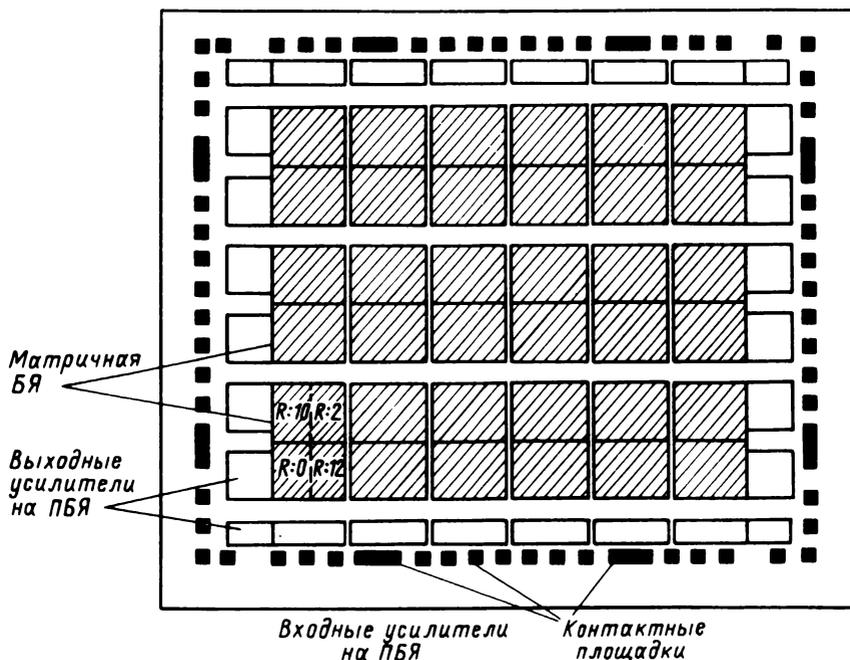


Рис. 2.13. Схематичное изображение кристалла БМК типа К1572ХМ1

тырех фрагментов, которые являются зеркальным отображением друг друга относительно центра блока и имеют обозначение ориентации  $R : 0$  (основная),  $R : 10$ ,  $R : 2$ ,  $R : 12$ .

Периферийная часть разделена на входные и выходные усилители. Входные усилители расположены выше и ниже матрицы – по 6 двоянных усилителей в 2 рядах. Выходные усилители расположены слева и справа от матрицы и содержат по 14 усилителей в каждой из 2 колонок.

Выходные усилители могут быть трех типов:  $Y1$  – выходной элемент с  $U_{оп} = 0,5$  В и  $R_L = 140$  Ом (в составе  $Y1$ );  $Y2$  – выходной элемент, работающий на внешнюю нагрузку 50 Ом и формирующий стандартные логические сигналы для микросхем серии K1500;  $Y0$  – фиктивный элемент для реализации парафазного выхода с элементов  $Y1$  и  $Y2$ . На рис. 2.14 приведена принципиальная электрическая схема  $Y1$  и  $Y2$ .

Под опорным напряжением  $U_{оп}$  подразумевается среднее напряжение между высоким и низким уровнями в зоне переключения. Его значение для серии K1500 соответствует  $U_{оп} = 1,3$  В, но для внутренних (матричных) БЯ возможен режим с пониженным  $U_{оп} = 0,5$  В. Для этих режимов значение минимального перепада логических уровней  $\Delta U_{л}$  будет равно 0,5 и 0,36 В соответственно.

Двоянные входные усилители могут быть трех типов:  $P3$  – дифференциальный приемник (аналог элемента K1500JM114);  $P4$  – для работы от логических сигналов  $U_{оп} = 0,5$  В, формируемых непосредственно на выходах усилителя  $Y1$ ;  $P5$  – для работы от стандартных логических сигналов микросхем серии K1500 с  $U_{оп} = 1,3$  В. Принципиальные электрические схемы входных усилителей приведены на рис. 2.15–2.17.

В составе МБЯ и входных ПБЯ имеются нагрузочные элементы для подключения к выходам эмиттерных повторителей ( $RE$ ).

По периметру кристалла размещены 4 контактные площадки для вывода "общий", 4 контактные площадки для вывода "питание", 57 контактных площадок для выводов "входы" и "выходы", в том числе 28 контактных площадок для выводов "входы и выходы".

Проводники шин питания проведены вертикально между МБЯ в первом уровне, а заземления – горизонтально во втором.

Библиотека ФЯ содержит 27 типов, которые перечислены в табл. 2.3. Принципиальные электрические схемы и условные графические обозначения ФЯ с указанием типов входов и выходов приведены в приложении 4.

Опорные напряжения для выходных усилителей, формируемые выходным источником опорных напряжений, обозначены  $U1$  и  $U5$ , а опорные напряжения для МБЯ и входных усилителей, формируемых внутренним источником напряжений,  $U2$ – $U4$ .

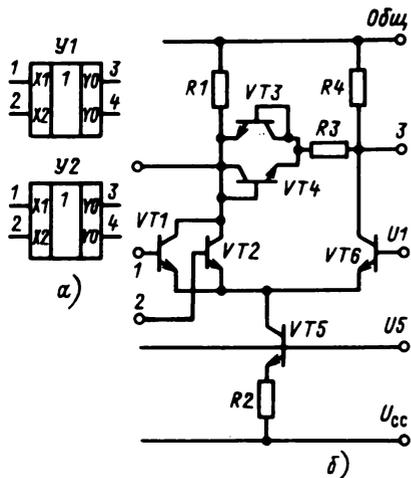


Рис. 2.14. Принципиальная электрическая схема выходных усилителей  $U1$  и  $U2$  (б) и их условное обозначение (а)

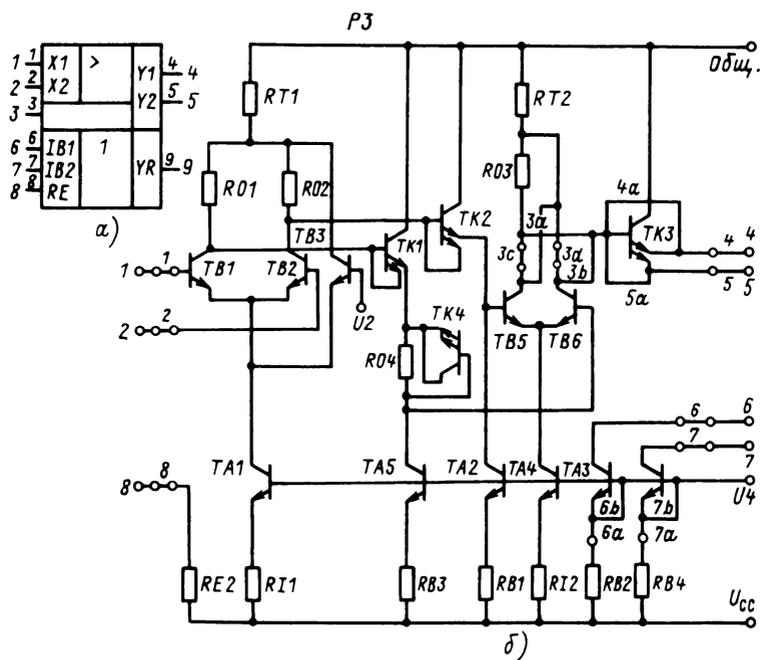


Рис. 2.15. Принципиальная электрическая схема входного усилителя  $P3$  (б) и его условное обозначение (а)

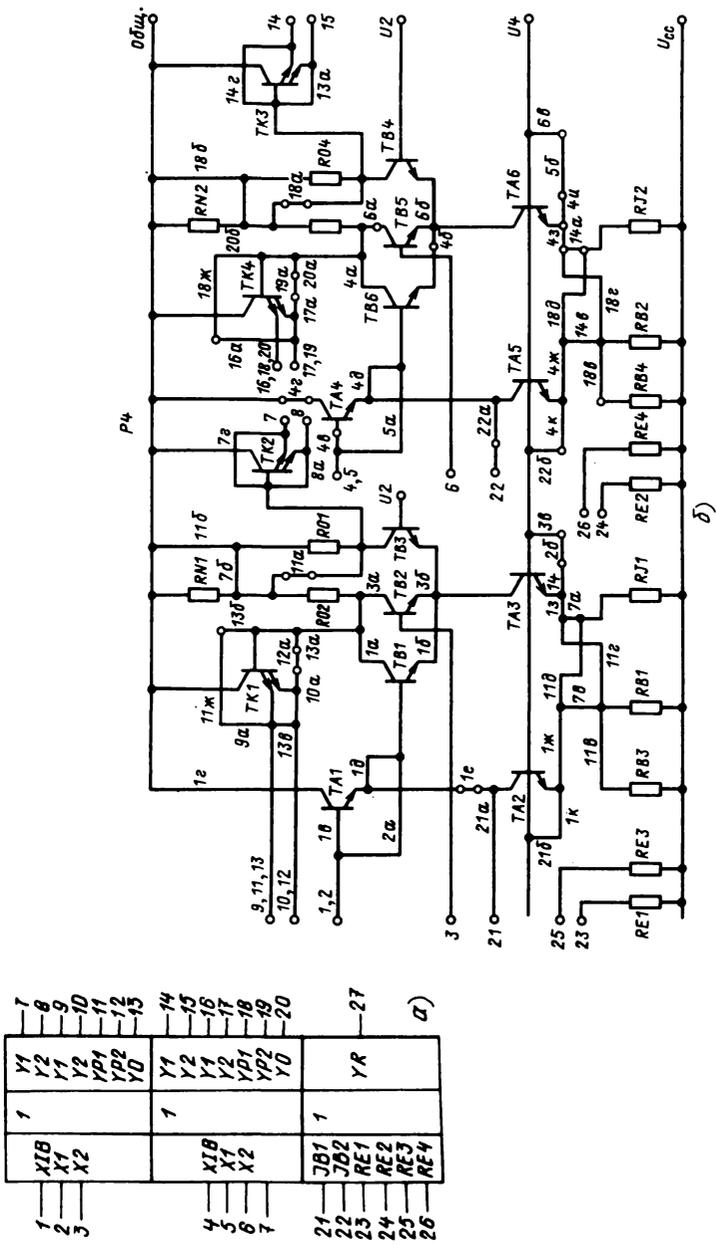


Рис. 2.16. Принципиальная электрическая схема входного усилителя P4 (б) и его условное обозначение (а)

1	X1B	Y1	7
2	X1	Y2	8
3	X2	Y1	9
		Y2	10
		YB1	11
		YP2	12
		YD	13
		Y1	14
		Y2	15
		Y1	16
		Y2	17
		YB1	18
		YP2	19
		YD	20
21	JB1	YR	27
22	JB2		
23	RE1		
24	RE2		
25	RE3		
26	RE4		

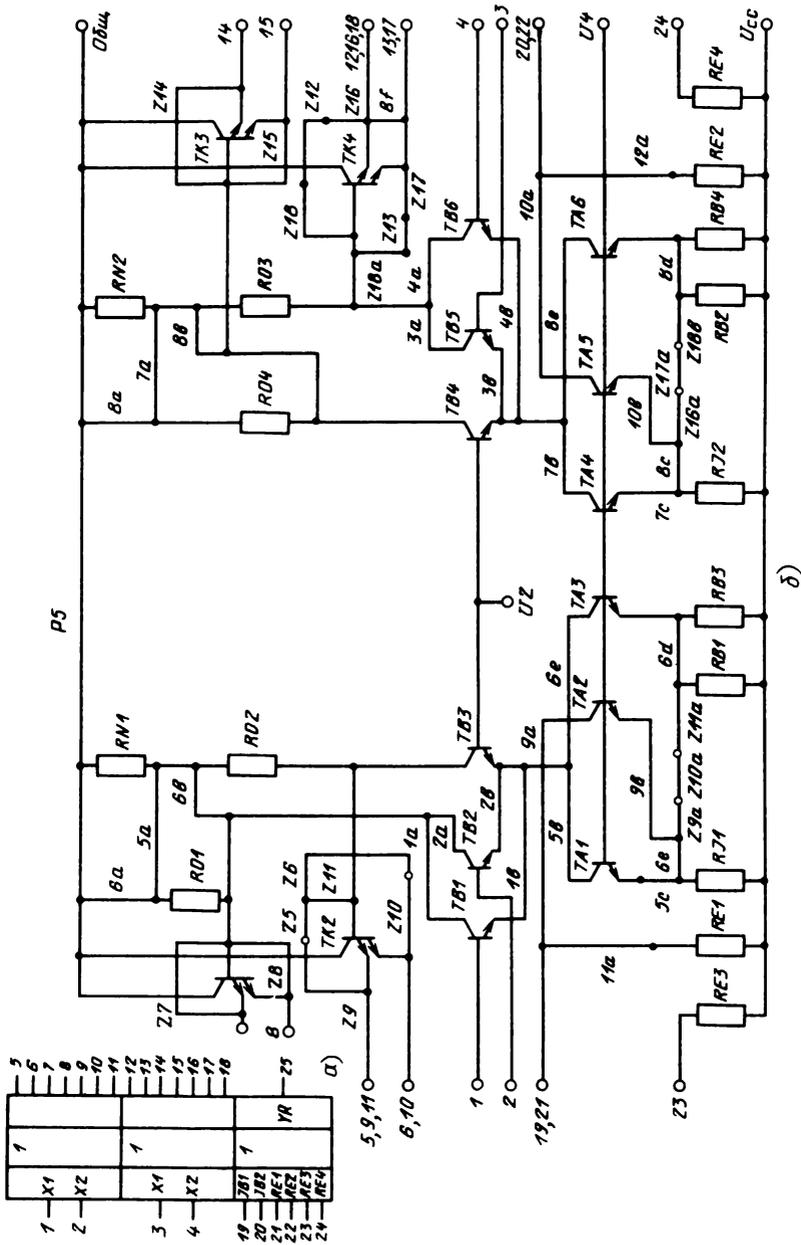


Рис. 2.17. Принципиальная электрическая схема входного усилителя P5 (б) и его условное обозначение (а)

Т а б л и ц а 2.3. Библиотека функциональных ячеек БМК типа К1572ХМ1

Основное обозначение	Тип ФЯ	Число элементов, шт.			Мощность потребления, мВт, при $\Delta U_{л}, В$	
		Транзистор	Резистор	Всего	0,36	0,5
Фиктивный элемент для парафазного выхода	<i>У0</i>	—	—	—	—	—
Выходной элемент с $U_{\text{вых.оп}} = 0,5 В$ и $R_L = 140 Ом$ (внутреннее)	<i>У1</i>	6	4	10	31,5	—
Выходной элемент с $U_{\text{вых.оп}} = 1,3 В$ и $R_L = 50 Ом$ (внешнее)	<i>У2</i>	6	4	10	31,5	—
Дифференциальный приемник (аналог К1500ЛМ114)	<i>Р3</i>	15	13	28	9,0	—
Сдвоенный элемент для логических сигналов с $U_{\text{вх.оп}} = 0,5 В$	<i>Р4</i>	16	16	32	9,0	12,8
Сдвоенный элемент для логических сигналов с $U_{\text{вх.оп}} = 1,3 В$	<i>Р5</i>	16	16	32	5,2	7,5
Формирователь четырехрядного циклического кода	<i>Ф11</i>	94	67	161	34,4	37,4
Сдвоенный <i>DC</i> -триггер-защелка	<i>Т20</i>	25	14	39	9,0	—
Двухрядный регистр сдвига	<i>Т21</i>	50	31	81	25,5	—
<i>DCRS</i> -триггер	<i>Т22</i>	51	37	88	22,3	31,0
Сдвоенный <i>DC</i> -триггер	<i>Т23</i>	50	32	82	25,5	—
<i>DC</i> -триггер с селектором	<i>Т24</i>	26	17	43	10,9	17,7
Сдвоенный <i>DCR</i> -триггер	<i>Т25</i>	51	33	84	18,0	—
<i>DCR</i> -триггер	<i>Т27</i>	26	17	43	9,0	12,5
<i>DC</i> -триггер	<i>Т29</i>	25	18	43	10,9	15,1
Сдвоенный селектор с общим управлением	<i>030</i>	25	18	43	9,0	—
Сдвоенный селектор	<i>031</i>	26	19	45	9,0	12,7
Сдвоенный элемент неравнозначности	<i>038</i>	26	20	46	9,0	12,7
Сдвоенный элемент равнозначности/неравнозначности	<i>039</i>	26	20	46	9,0	12,7
Сдвоенный элемент 2ИЛИ/2ИЛИ–НЕ	<i>043</i>	8	11	19	5,2	7,5
Сдвоенный элемент 2ИЛИ–2ИЛИ–И/2ИЛИ–2ИЛИ–И–НЕ (4ИЛИ/4ИЛИ–НЕ)	<i>045</i>	26	20	46	8,9	12,8
с управляемой функцией						
Полный сумматор с инверсией	<i>550</i>	25	19	44	8,9	12,8
Компаратор с инверсией	<i>К60</i>	24	14	38	8,3	13,9

Продолжение табл. 2.3

Основное обозначение	Тип ФЯ	Число элементов, шт.			Мощность потребления, мВт, при $\Delta U_{\text{л}}, \text{ В}$	
		Транзистор	Резистор	Всего	0,36	0,5
Мажоритарный элемент для $n = 3$	<i>K62</i>	23	12	35	8,3	13,9
Элемент выделения одной единицы для $n = 4$	<i>K63</i>	26	16	42	8,8	12,8
Четырехканальный мультиплексор	<i>M94</i>	26	16	42	7,1	—
Сдвоенный двухканальный мультиплексор с запретом	<i>M95</i>	26	16	42	7,1	—

### 2.3.2. Электрические параметры БМК

Полузаказные матричные БИС, реализованные на основе К1572ХМ1, функционируют при напряжении питания  $-4,5 \text{ В}$  с допустимым разбросом  $\pm 5\%$ . Возможны два варианта работы БИСМ: с уменьшенным перепадом логических уровней на выходе ФЯ, равном  $\Delta U_{\text{л}} = 0,36 \text{ В}$ ; с перепадом логических уровней  $\Delta U_{\text{л}} = 0,5 \text{ В}$ , совместимым с перепадом уровней микросхем серии К1500. В последнем случае обеспечивается выход с объединением эмиттеров. Важно отметить, что уменьшение перепада логических уровней позволяет снизить примерно в 1,5 раза мощность, потребляемую ФЯ (табл. 2.3).

На электрических схемах и их условных графических изображениях имеются следующие типы выходных цепей: с уменьшенным перепадом логических уровней, обозначаемые  $Y$ ; со стандартным перепадом логических уровней, обозначаемые  $YP$ ; объединенные со стандартным перепадом логических уровней, обозначаемые  $Y0$ .

Выходные цепи одноярусных ФЯ и входных усилителей показаны на рис. 2.18. Реализация требуемого типа выходной цепи осуществляется автоматически с помощью контуров присоединения и закороток соответствующих выходных контактов. Стандартные решения показаны на рис. 2.18, *a* для выходной цепи типа  $Y$ , на рис. 2.18, *б* для выходной цепи типа  $YP$ , на рис. 2.18, *в* для выходной цепи типа  $Y0$ . Конкретная реализация выходных цепей входных усилителей приведена на рис. 2.18, *г*, *в*; номера отрезков электрических цепей означают:  $1$  — фигура контура присоединения контакта для получения  $Y1, Y2$  ( $\bar{Y}1, \bar{Y}2$ );  $2$  — фигура контура присоединения для получения  $Y1P, Y2P, Y0$  ( $\bar{Y}1P, \bar{Y}2P, Y0$ );  $3-7$  — фигуры контуров закоротки контактов для

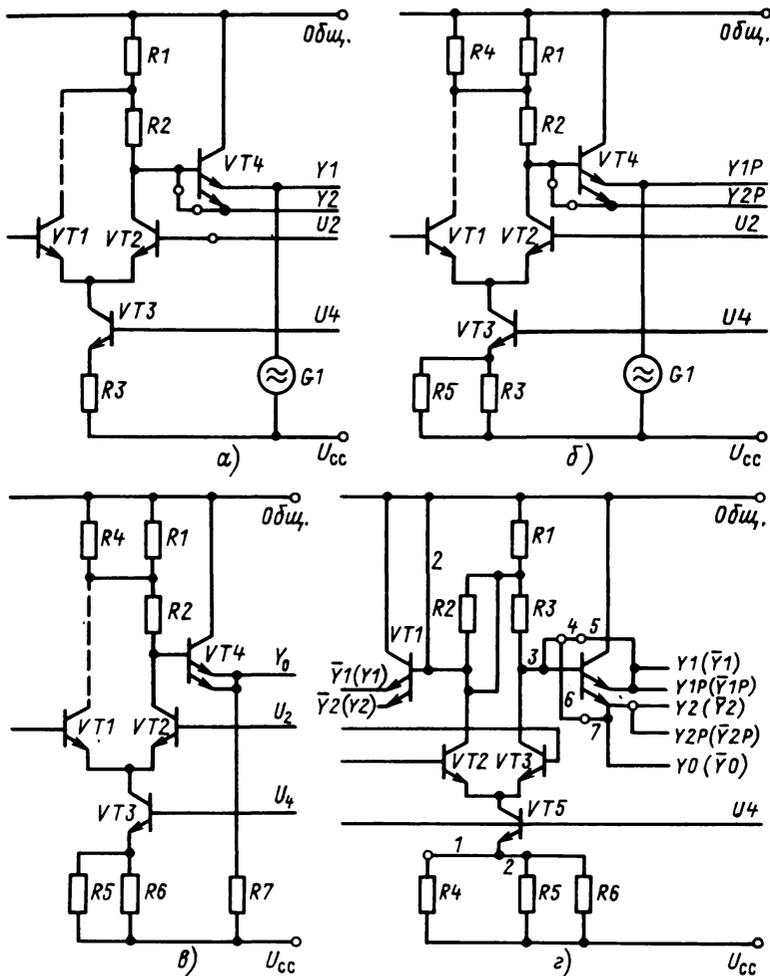


Рис. 2.18. Принципиальные электрические схемы выходных цепей для одноярусных ФЯ при  $\Delta U_{\text{П}} = 0,35 \text{ В}$  (а),  $\Delta U_{\text{П}} = 0,5 \text{ В}$  (б, в) и для входных усилителей с различными типами выходных цепей

получения  $Y_0, Y_1, Y_{1P}, Y_2, Y_{2P}$  ( $\bar{Y}_0, \bar{Y}_1, \bar{Y}_{1P}, \bar{Y}_2, \bar{Y}_{2P}$ ) соответственно.

Аналогичное построение имеют и выходные цепи внутренних двухъярусных ФЯ (рис. 2.19, а и б), которые с помощью контуров присоединения и закороток получают одинаковые изменения в цепи коллектора предвыходного каскада и в цепи эмиттера генератора тока. В качестве примера приведена реализация цепей внутренних ФЯ при одноярусном

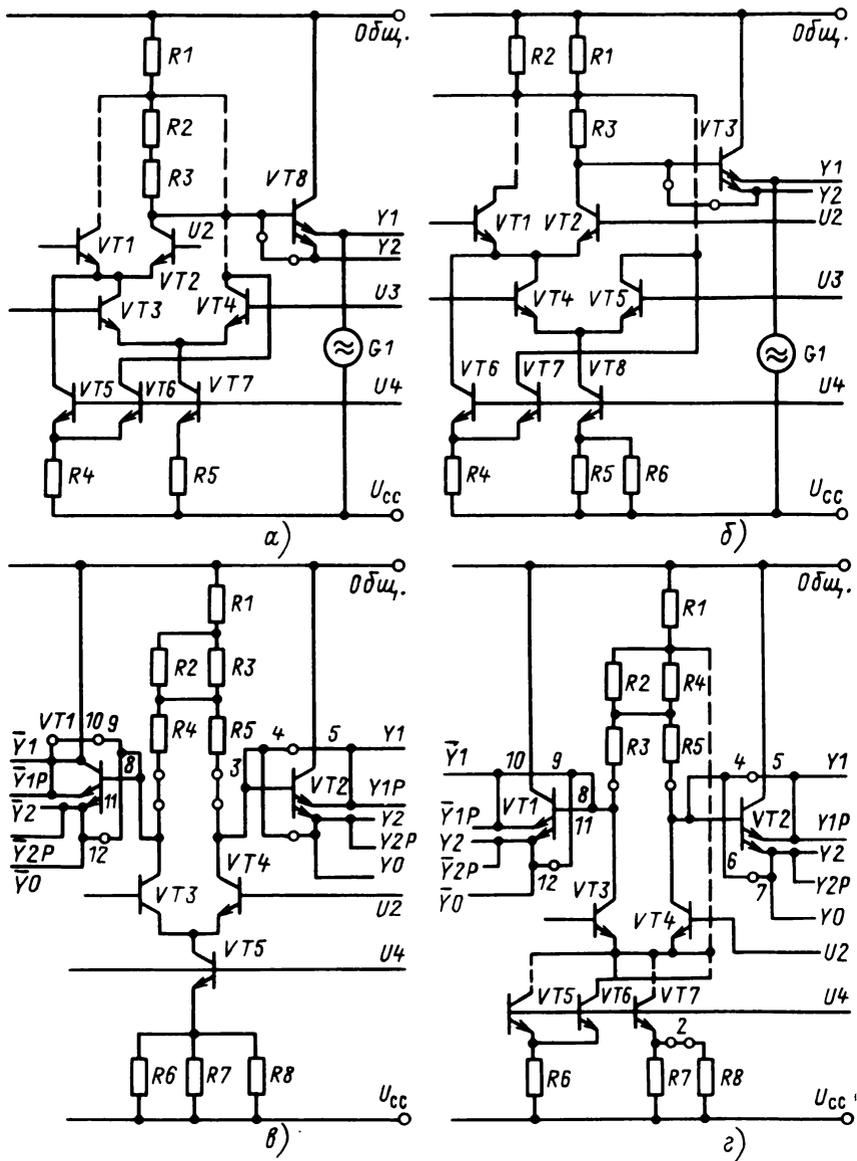


Рис. 2.19. Принципиальные электрические схемы выходных цепей для двухъярусных ФЯ при  $\Delta U_{\text{л}} = 0,35 \text{ В}$  (а),  $\Delta U_{\text{л}} = 0,5 \text{ В}$  (б) и различные типы выходных цепей для одноярусной (в) и двухъярусной (г) внутренней ФЯ

(рис. 2.19, в) и двухъярусном (рис. 2.19, г) вариантах, у которых номера отрезков электрических цепей означают: 1 — фигура контура присоединения контактов для получения  $Y1, Y2$  ( $\overline{Y1}, \overline{Y2}$ ); 2 — фигура контура присоединения контактов для получения  $Y1P, Y2P, Y0$  ( $\overline{Y1P}, \overline{Y2P}, \overline{Y0}$ ); 3–12 — фигуры контуров закоротки контактов для получения  $\overline{Y0}, Y1, Y1P, Y2, Y2P$  ( $\overline{Y0}, \overline{Y1}, \overline{Y1P}, \overline{Y2}, \overline{Y2P}$ ) соответственно.

Следует отметить, что подобный принцип формирования типа выходных цепей заложен в принципиальные электрические схемы библиотечных ФЯ (см. приложение 4) и необходимый тип выходной цепи можно получить, используя изложенный выше метод присоединения контуров и закороток.

В зависимости от типа выходной цепи ФЯ допускаются (табл. 2.4) различные нагрузки и число элементов ИЛИ между выходом рассматриваемой ФЯ и переключателем тока в ячейке нагрузки. В полное число функций ИЛИ входят функции как проводные, реализуемые непосредственно на выходе рассматриваемой ФЯ, так и реализуемые в ячейке нагрузки при переключении тока.

Следует отметить, что контактные площадки отличаются габаритными размерами (4 × 4 или 8 × 8 мкм) и соответственно их емкостями. Относительная емкость контакта определяется суммарной емкостью, подключаемой к ФЯ. Входная емкость верхнего яруса ФЯ при наличии нагрузочных резисторов в коллекторной цепи увеличивается в 2 раза по сравнению с входной емкостью ФЯ нижнего яруса.

При проектировании БИСМ должен быть предусмотрен подсчет действительных емкостей эквипотенциальных цепей по результатам разводки и с учетом емкостей контактов, подключаемых к данной цепи.

Допустимая длина эквипотенциальной цепи равна для выходных цепей типа  $Y, \overline{Y}$  1500 мкм, для выходных цепей типов  $YP, \overline{YP}$  2500 мкм, для выходных цепей типов  $Y0, \overline{Y0}$  4000 мкм при одинаковой нагрузке в виде двух контактов типа PRA07.

Таблица 2.4. Нагрузочные способности выходных цепей функциональных ячеек

Тип выхода	$\Delta U_{л.в}$	Элемент нагрузки	Число подключаемых выводов (контактов), шт.				Число суммирующих ИЛИ, шт.
			PRA07, 4 × × 4 мкм	PRA08, 8 × × 4 мкм	PRA09, 4 × × 8 мкм	PRA10, 8 × × 8 мкм	
$Y, \overline{Y}$	0,36	IB	4	2	—	—	2
$YP, \overline{YP}$	0,5	IB	6	3	1	—	4
$Y0, \overline{Y0}$	0,5	RE, RF	12	6	3	2	4

Для БФЯ типа У2 при нагрузке  $R_L = 50$  Ом,  $C_L = 50$  пФ значения динамических параметров следующие:  $t_{TLH} = 1,15 \div 1,25$  нс и  $t_{PLH} = 1,77 \div 1,88$  нс.

По приведенным выше данным можно оценить возможности применения БМК. Следует отметить, что система проектирования БИСМ предусматривает синтез топологии при использовании до 100 типов ФЯ.

## Глава 3

### ЦИФРОВЫЕ БМК НА ОСНОВЕ ТТЛШ

#### 3.1. БАЗОВЫЙ МАТРИЧНЫЙ КРИСТАЛЛ ТИПА К1527ХМ1

Стремление разработчика аппаратуры уменьшить потребляемую мощность, но сохранить достаточно высокое быстродействие при большой нагрузочной способности удовлетворяется при создании полужаказных БИС на основе БМК типа К1527ХМ1, выполненного в виде ТТЛШ логики. Его кристалл размером  $6,35 \times 5,6$  мм условно разделен на внутреннюю и периферийную части с 47 контактными площадками (рис. 3.1).

Внутренняя часть БМК типа К1527ХМ1 представляет собой матрицу ( $12 \times 8$ ) из 96 МБЯ и содержит одну правую колонку, состоящую из восьми левых половин МБЯ. Все МБЯ имеют ориентацию 0. Каждая МБЯ состоит из четырех фрагментов в виде левой ( $NL, OL$ ) и правой ( $NR, OR$ ) половин. Все фрагменты являются зеркальным отображением друг друга и состоят из идентичных наборов нескоммутированных транзисторов, диодов, резисторов (рис. 3.2).

Периферийная часть БМК содержит 44 периферийные БЯ с контактными площадками. Каждая ПБЯ содержит 2 фрагмента, обозначенных соответственно фрагмент 1 и фрагмент 2. Фрагменты отличаются между собой по составу нескоммутированных компонентов и позволяют построить различные ПФЯ. Периферийные ПБЯ, расположенные в нижней части кристалла, имеют ориентацию  $R = 0$ , в правой  $R = 1$ , в верхней  $R = 2$ , в левой  $R = 3$ . Расположение элементов ПБЯ приведено на рис. 3.3.

Проводники шин питания и заземления относятся к постоянным соединениям БМК и выполнены в двух слоях. В первом слое проведены 13 вертикальных шин питания, во втором — 8 горизонтальных шин заземления. Пересечения этих шин образуют сетку во внутренней части кристалла (матрицу), деля его на МБЯ. Шины заземления ПБЯ соединены с 8 шинами заземления МБЯ. Шины питания ПБЯ также выполнены во втором слое металлизированных соединений.

Библиотека функциональных ячеек содержит 32 типа МФЯ (М01–М32) и 6 типов ПФЯ (П01–П06). Принципиальные электрические схе

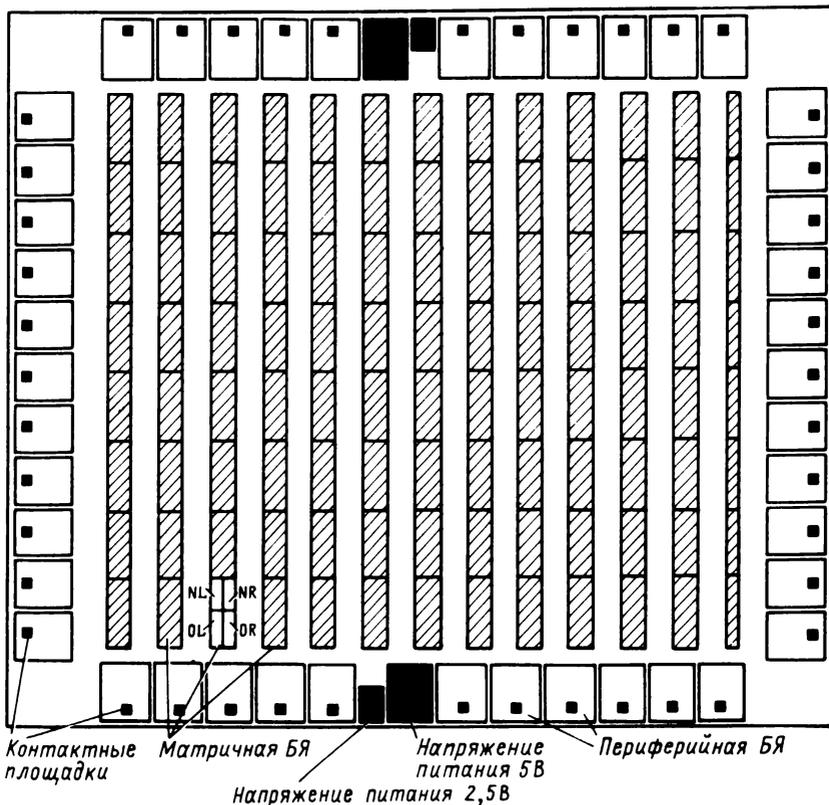


Рис. 3.1. Схематичное изображение БМК типа К1527ХМ1

мы и условные графические обозначения библиотечных ФЯ приведены в приложении 5.

Допускаются 88 вариантов размещения МФЯ на МБЯ, в том числе ячейки *М01–М12* размещаются на любом из четырех фрагментов МБЯ (*NL, OL, NR, OR*), *М13–М32* – на каждой из пар фрагментов *NL, OL* или *NR, OR*, расположенных между двумя соседними шинами заземления. Размещение шести вариантов ПФЯ на ПБЯ происходит в соответствии с номерами фрагментов: *П01–П04* на фрагменте 1, *П05–П06* на фрагменте 2. Соответствие элементов БЯ типам ФЯ приведено в табл. 3.1.

Обозначение типов элементов БЯ содержит информацию о типе вентиля, сопротивлении в цепи многоэмиттерного транзистора (МЭТ), нагрузке вентиля и ориентации фрагмента вентиля по вертикали и горизонтали, оно представлено в виде шестизначного цифро-

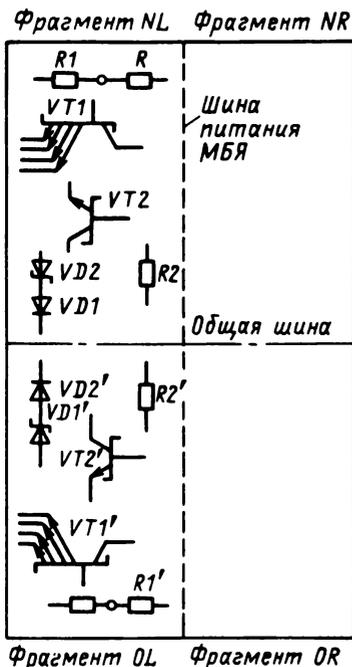


Рис. 3.2. Набор элементов МБЯ для БМК типа К1527ХМ1

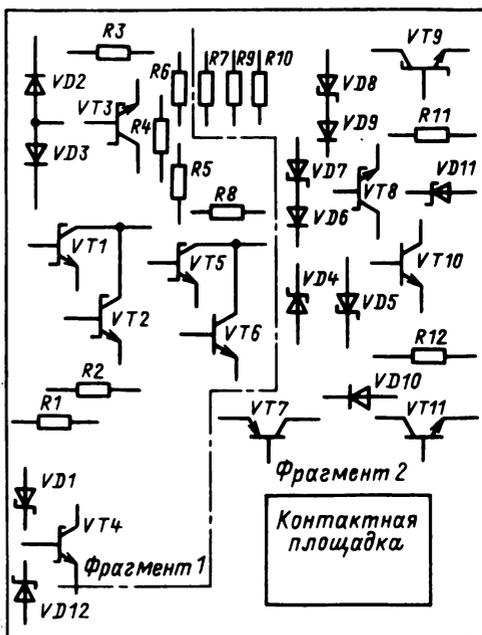


Рис. 3.3. Набор элементов ПБЯ для БМК типа К1527ХМ1

Таблица 3.1. Соответствие типов элементов МБЯ типам МФЯ

№ п/п.	Тип МФЯ	Тип элемента МБЯ			
		Вариант 1	Вариант 2	Вариант 3	Вариант 4
1	М01	12 RDNL	12 RDNR	12 RDOR	12 RDOL
2	М02	12 RONL	12 RONR	12 ROOR	12 ROOL
3	М03	12 ODNL	12 ODNR	12 ODOR	12 ODOL
4	М04	12 OONL	12 OONR	12 OOOO	12 OOOO
5	М05	14 RDNL	14 RDNR	14 RDOR	14 RDOL
6	М06	14 RONL	14 RONR	14 ROOR	14 ROOL
7	М07	14 ODNL	14 ODNR	14 ODOR	14 ODOL
8	М08	14 OONL	14 OONR	14 OOOO	14 OOOO
9	М09	42 RDNL	42 RDNR	42 RDOR	42 RDOL
10	М10	42 RONL	42 RONR	42 ROOR	42 ROOL
11	М11	42 ODNL	42 ODNR	42 ODOR	42 ODOL
12	М12	42 OONL	42 OONR	42 OOOO	42 OOOO
13	М13	22 RDNL	22 RDNR	-	-

Продолжение табл. 3.1

№ п/п.	Тип МФЯ	Тип элемента МБЯ			
		Вариант 1	Вариант 2	Вариант 3	Вариант 4
14	<i>M14</i>	22 RDNL	22 RONR	—	—
15	<i>M15</i>	22 RONL	22 ODNR	—	—
16	<i>M16</i>	22 ODNL	22 OONR	—	—
17	<i>M17</i>	24 RDNL	24 RDNR	—	—
18	<i>M18</i>	24 RONL	24 RONR	—	—
19	<i>M19</i>	24 ODNL	24 ODNR	—	—
20	<i>M20</i>	24 OONL	24 OONR	—	—
21	<i>M21</i>	32 RDNL	32 RDNR	—	—
22	<i>M22</i>	32 RONL	32 RONR	—	—
23	<i>M23</i>	32 ODNL	32 ODNR	—	—
24	<i>M24</i>	32 OONL	32 OONR	—	—
25	<i>M25</i>	34 RDNL	34 RDNR	—	—
26	<i>M26</i>	34 RONL	34 RONR	—	—
27	<i>M27</i>	34 ODNL	34 ODNR	—	—
28	<i>M28</i>	34 OONL	34 OONR	—	—
29	<i>M29</i>	52 RDNL	52 RDNR	—	—
30	<i>M30</i>	52 RONL	52 RONR	—	—
31	<i>M31</i>	52 ODNL	52 ODNR	—	—
32	<i>M32</i>	52 OONL	52 OONR	—	—
33	<i>П01</i>	ВА	—	—	—
34	<i>П02</i>	ВВ	—	—	—
35	<i>П03</i>	ВС	—	—	—
36	<i>П04</i>	ВД	—	—	—
37	<i>П05</i>	ВЕ	—	—	—
38	<i>П06</i>	ВФ	—	—	—

буквенного кода. Первая цифра этого кода означает: 1 — простой вентиль И–НЕ на базе одного МЭТ (до четырех входов); 2 — вентиль И–НЕ с расширением по И (до 8 входов) на базе двух МЭТ; 3 — вентиль И (до четырех входов) на основе двух ячеек, реализуемый подобно типу 1, но с двойной инверсией; 4 — инвертор на основе одной ячейки без МЭТ; 5 — вентиль И (до восьми входов) на основе двух ячеек, реализуемый подобно типу 1, но с двойной инверсией; 4 — инвертор на основе одной ячейки без МЭТ; 5 — вентиль И (до восьми входов) на основе двух ячеек, реализуемый подобно типу 2, но с двойной инверсией. Вторая цифра определяет номинал сопротивления в цепи базы МЭТ: 2 — 2 кОм; 4 — 4 кОм. Первая буква (следующая за второй цифрой) указывает на наличие *R* или отсутствие *O* (открытый коллектор) у выходного транзистора нагрузочного резистора, вторая буква на наличие *D* или отсутствие *O* на выходе вентиля ограничительных диодов, третья буква — ориентацию по вертикали: *N* — используется верхний фрагмент ячейки относительно шины "земля",

0 — используется нижний фрагмент ячейки относительно шины "земля". Четвертая буква указывает ориентацию по горизонтали: *L* — используется левый фрагмент относительно шины "питание"; *R* — используется правый фрагмент относительно шины "питание".

Периферийные ячейки обозначаются следующим образом: *ВА* — выходной буфер с открытым коллектором; *ВВ* — выходной буфер с резистивной нагрузкой ТТЛ; *ВС* — выходной ТТЛ буфер; *ВД* — выходной ТТЛ буфер с тремя состояниями; *ВЕ* — входной буфер с *p-n-p*-транзистором; *ВF* — входной буфер с открытым коллектором на выходе.

Библиотека ФЯ размещается на БЯ в виде металлизированных соединений элементов БЯ, выполненных в первом слое в соответствии с принципиальными электрическими схемами ФЯ.

Для проектирования металлизированных соединений БИСМ введена сетка проектирования, имеющая по горизонтали и вертикали шаг, равный 16 мкм. Расположение каналов трассировки по сетке проектирования выбрано следующее: для вертикальных трасс первого слоя с шагом 16 мкм при ширине 10 мкм, для горизонтальных трасс второго слоя с шагом 32 мкм при ширине 20 мкм. Минимальные расстояния между трассами приняты равными: в первом слое 6 мкм, во втором 12 мкм, между трассой и элементом межслойного контакта в первом слое 3 мкм.

При трассировке допускается использование 165 вертикальных каналов — по 13 между каждой парой колонок МБЯ, кроме того, 7 левее первой колонки и 2 правее последней полуколонки; 115 горизонтальных каналов — по 14 между каждой парой близлежащих горизонтальных шин заземления, кроме того, 9 между крайними верхними и 8 между крайними нижними шинами заземления и питания.

В зонах, разрешенных для трассировки в двух слоях металлизированных соединений, располагаются выводы МБЯ и межслойные контакты (МСК) на пересечении вертикальных и горизонтальных каналов. Выводы БЯ с помощью металлизированного соединения связывают с одноименными номерами фиксированных контактных площадок БЯ. Возможные конфигурации этих металлизированных соединений называются присоединительными контурами (ПК) и выполняются в первом слое. Расположение ПК определяется использованием площадок БЯ с соответствующими номерами для входов принципиальной электрической схемы ФЯ, реализуемой на этой БЯ.

Полузаказные БИС, реализованные на основе БМК типа К1527ХМ1, функционируют при напряжении питания  $U_{CC} = 5$  В с допустимым разбросом  $\pm 10\%$ . Для выходных вентилях обеспечиваются выходные напряжения низкого уровня 0,4 В при  $I_H^0 = 10$  мА и высокого уровня 2,4 В при  $I_H^1 = -1$  мА.

Время переключения МБЯ  $\tau_{пер} = 6$  нс/вент., мощность потребления  $P = 2,5$  мВт/вент., а нагрузочная способность  $N = 12$  для базовых вентилях с  $R_B = 4$  кОм.

Электрические параметры ПБЯ следующие:  $\tau_{\text{пер}} = 10$  нс/вент.,  $P = 6$  мВт/вент., входной ток высокого уровня для входных вентилях  $I_{\text{вх}} = 100$  мкА, нагрузочная способность  $N = 12$  для базовых вентилях с  $R_{\text{Б}} = 4$  кОм.

Следует отметить, что напряжение питания МБЯ, приложенное к первому слою металла, равно 2,5 В, а общее напряжение питания, приложенное к ПФЯ,  $U_{\text{СС}} = 5$  В.

### 3.2. БАЗОВЫЙ МАТРИЧНЫЙ КРИСТАЛЛ ТИПА К1548ХМ1

Полузаказные БИС на основе БМК типа К1548ХМ1 имеют большее число ТТЛШ логических вентилях типа 4И–НЕ по сравнению с БИСМ на основе К1527ХМ1. Кристалл БМК типа К1548ХМ1 имеет размер 7,5 × 7,3 мм, разделен на внутреннюю и периферийную части с 89 контактными площадками (рис. 3.4).

Внутренняя часть БМК представляет собой матрицу (19 × 13) из 247 МБЯ и содержит одну верхнюю строку, состоящую из 19 нижних половин МБЯ. Каждая МБЯ состоит из четырех фрагментов в виде верхней (*NL*, *NR*) и нижней (*OL*, *OR*) половин. Все фрагменты МБЯ являются зеркальным отображением друг друга и состоят из идентичных наборов нескоммутированных транзисторов и резисторов (рис. 3.5).

Периферийная часть БМК содержит 81 ПБЯ, каждая из которых представляет собой два фрагмента и контактную площадку. В состав фрагмента входят нескоммутированные транзисторы, диоды, резисторы (рис. 3.6). Периферийные БЯ, расположенные в нижней части кристалла (см. рис. 3.4), имеют ориентацию  $R = 0$ , в правой  $R = 1$ , в верхней  $R = 2$ , в левой  $R = 3$ .

Из 89 контактных площадок в состав ПБЯ входит 81, которые являются информационными выводами БМК; 4 контактные площадки, расположенные в углах кристалла, отведены для подключения "земля", 2 – для подключения напряжения питания 5 В к ПБЯ и 2 – для подключения напряжения питания 2 В к МБЯ.

Вертикальные шины питания для МБЯ выполнены в первом уровне металлизации и проходят в середине каждого столбца МБЯ, а замыкаются во втором уровне металлизации. Шины питания ПБЯ напряжением 5 В расположены во втором слое металлизации. Шины заземления МБЯ проходят горизонтально через их середины.

Библиотечные функциональные ячейки реализуются на основе одного или нескольких фрагментов МБЯ при помощи того или иного контура присоединения в первом переменном слое металлизации и составляют первый уровень сложности. Принципиальные электрические схемы и условные графические обозначения БФЯ первого уровня приведены в приложении 6. На их основе построены БФЯ второго уровня, выполняющие более сложные логические функции, состав которых приведен в табл. 3.2.

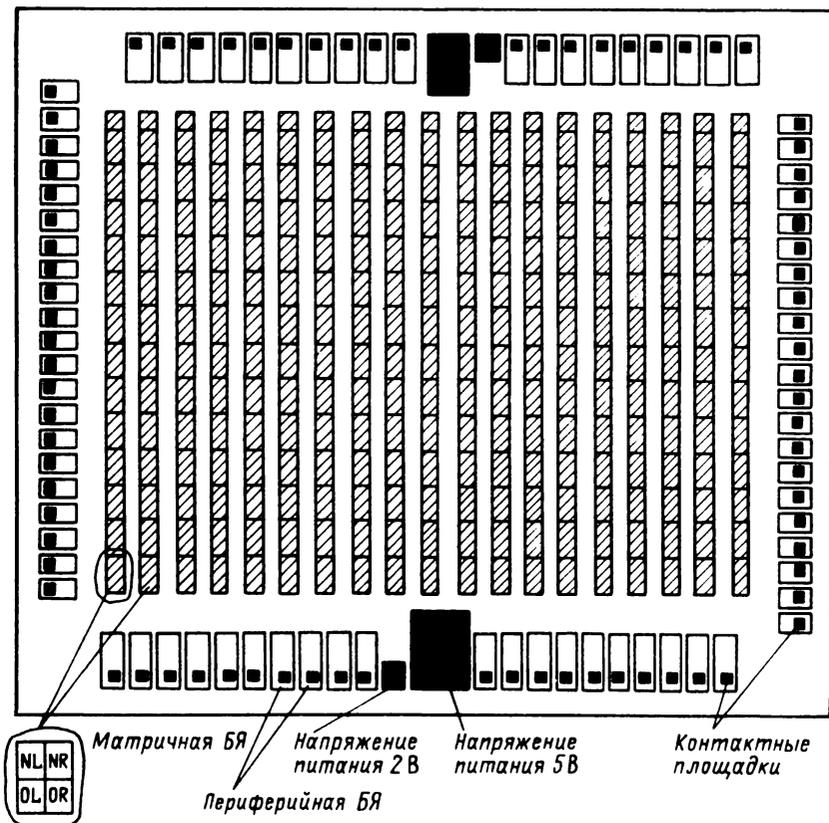


Рис. 3.4. Схематичное изображение кристалла БМК типа K1548XM1

Библиотечные МФЯ первого уровня могут иметь два или четыре варианта размещения в зависимости от ориентации и числа занимаемых фрагментов МБЯ. В пределах одного фрагмента МБЯ можно разместить одну МФЯ, выполняющую логическую функцию 4И–НЕ либо НЕ. Матричные МФЯ, выполняющие логические функции 4И, 8И–НЕ, 8И, 2 × 4И–ИЛИ–НЕ, могут быть размещены в пределах только двух соседних фрагментов МБЯ, расположенных между двумя горизонтальными шинами заземления.

В пределах одного фрагмента ПБЯ можно разместить одну ПФЯ, реализующую функцию буферного вентиля: входного – на основе фрагмента 1 ПБЯ, выходного – на основе фрагмента 2 ПБЯ.

Реализация выводов ФЯ первого уровня осуществляется путем размещения на площадках БЯ соответствующих присоединительных кон-

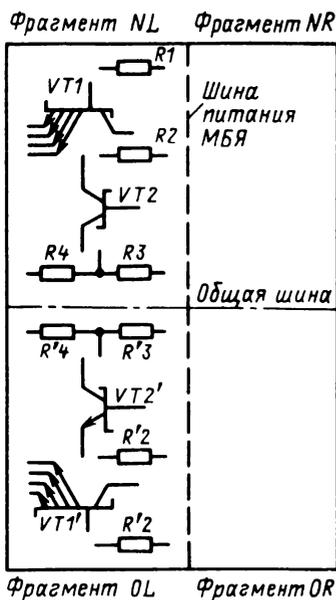


Рис. 3.5. Набор элементов МБЯ для БМК типа К1548ХМ1

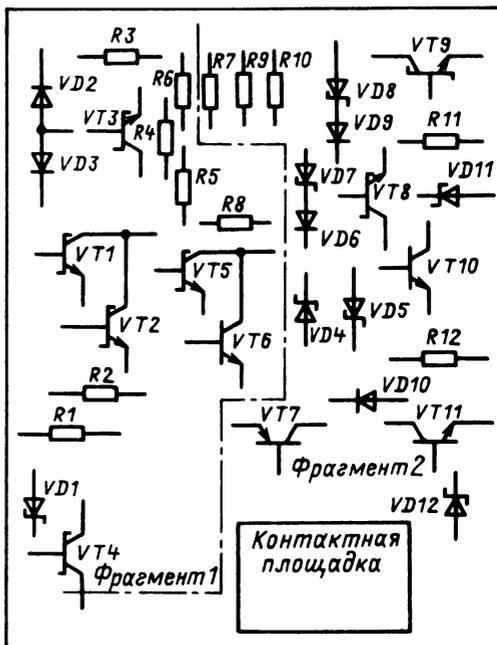


Рис. 3.6. Набор элементов ПБЯ для БМК типа К1548ХМ1

Т а б л и ц а 3.2. Состав БФЯ второго уровня БМК типа К1548ХМ1

Код функциональной ячейки	Наименование функциональной ячейки
ТА33	Дешифратор "2-4"
ТА34	Дешифратор "2-4"
ТА35	Дешифратор "3-8"
ТА36	Дешифратор "3-8"
ТА37	Четыре селектора мультиплексора "2-1"
ТА38	То же с инверсией
ТА39	Селектор-мультиплексор "4-1"
ТА40	Селектор-мультиплексор "4-1" со стробированием
ТА41	Два селектора-мультиплексора "4-1"
ТА42	Селектор-мультиплексор "8-1"
ТА43	То же со стробированием
ТА44	10-разрядная схема контроля четности и нечетности
ТА45	Сумматор 1-разрядный
ТА46	Схема сравнения двух 4-разрядных чисел

Код функциональной ячейки	Наименование функциональной ячейки
ТА47	Счетчик реверсивный 4-разрядный двоично-десятичный
ТА48	Счетчик реверсивный 4-разрядный двоичный
ТА49	Счетчик 4-разрядный двоично-десятичный
ТА50	Счетчик 4-разрядный двоичный
ТА51	Регистр сдвига 8-разрядный
ТА52	Регистр сдвига 4-разрядный с последовательным и параллельным вводами информации
ТА53	Регистр сдвига 4-разрядный универсальный
ТА54	Арифметическо-логическое устройство 4-разрядное
ТА55	Схема ускоренного переноса
ТА56	D-триггер с контролем

туров, которые предназначены для привязки площадок БЯ к узлам координатной сетки проектирования, находящейся на пересечении каналов трассировки, по которым размещаются межсоединения.

Расположение каналов трассировки преимущественно по вертикальному направлению в первом слое металлизации выбрано с шагом 8 мкм при ширине дорожки 6 мкм (минимальное расстояние между соседними металлизированными дорожками должно составлять не менее 2 мкм) и допускает проведение 327 трасс (по 17 между МБЯ). Для горизонтального направления во втором слое металлизации выбран шаг 16 мкм при ширине 12 мкм (минимальное расстояние 4 мкм) и допускается проведение 307 трасс (по 22 между МБЯ).

Полузаказные БИС на основе К1548ХМ1 функционируют при напряжении питания  $U_{CC} = 5$  В с допустимым разбросом  $\pm 10\%$ . Для выходных вентилях обеспечиваются выходные напряжения низкого уровня 0,5 В при  $I_n^0 = 10$  мА и высокого уровня 2,4 В при  $I_n^1 = -1$  мА.

Входные токи высокого уровня для входных ПФЯ не более 0,01 мкА и низкого уровня 154 мкА.

Ток потребления выходных ПФЯ равен 1–2,5 мА, входных ПФЯ 0,5–1 мА, МФЯ 0,15–0,6 мА. Коэффициент разветвления по выходу МФЯ равен 10.

Время переключения входных ПФЯ не более 5 нс, МФЯ не более 1,5–4,5 нс для БФЯ первого уровня.

Следует отметить, что напряжение питания МБЯ, приложенное к первому слою металла, равно 2 В; а общее напряжение питания, приложенное к ПФЯ,  $U_{CC} = 5$  В.

ЦИФРОВЫЕ БМК НА ОСНОВЕ  $n$ -МОП

## 4.1. КОНСТРУКЦИЯ БМК ТИПА К1801ВП1

Повышение степени интеграции микросхем прежде всего связано с применением МОП-транзисторов. Одними из первых БМК на основе  $n$ -канальных МОП-структур были созданы типы К1801ВП1, КР1801ВП1 с проектными нормами длины канала 3 мкм [22, 25, 26]. Базовый кристалл размером 4,2 x 4,2 мм условно разделен на внутреннюю и периферийную части с 43 контактными площадками (рис. 4.1); между этими частями находится область, предназначенная для разводки между ПБЯ и МБЯ.

Внутренняя часть БМК типа К1801ВП1 представляет собой матрицу (13 x 40) из 520 МБЯ типа А; в этой матрице имеются дополнительных два ряда по 40 усилительных БЯ типа В, предназначенных для

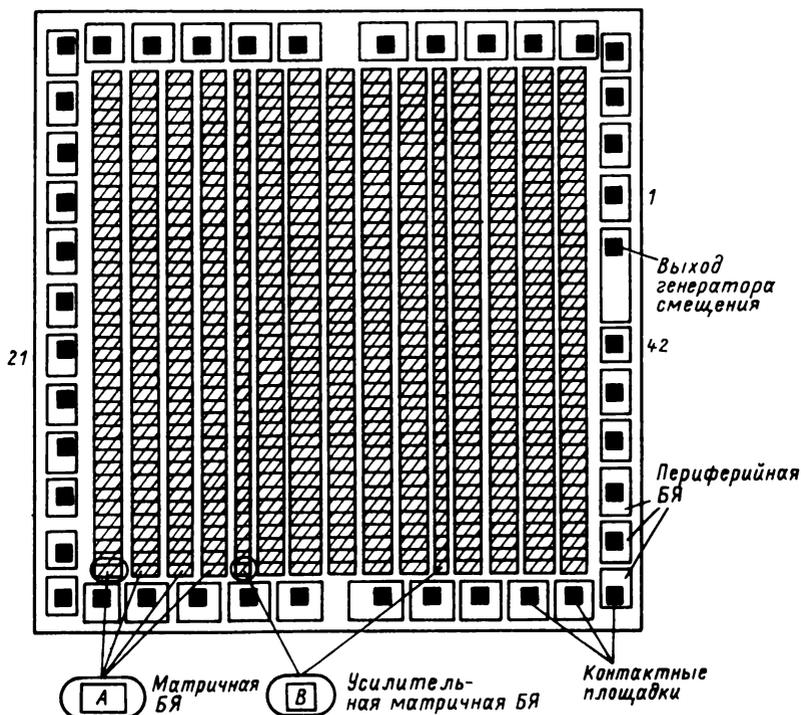


Рис. 4.1. Схематическое изображение кристалла БМК типа К1801ВП1

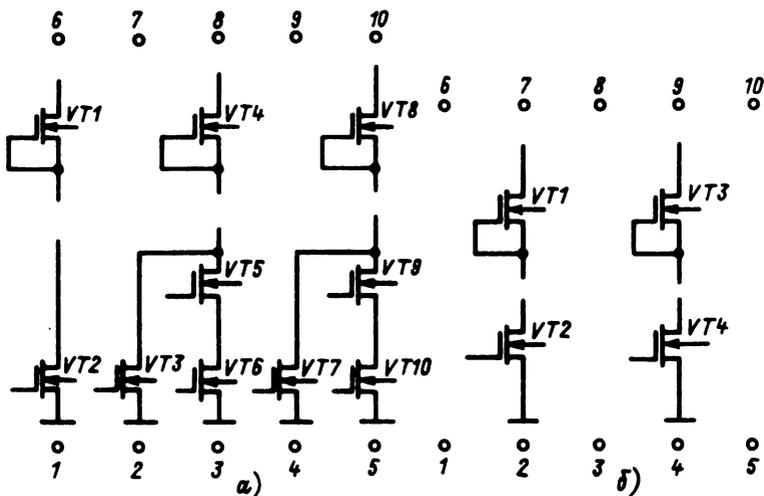


Рис. 4.2. Набор элементов МБЯ (а) и усилительной БЯ (б) для БМК типа К1801ВП1

реализации усилительных функций внутри матрицы. Наборы транзисторов, входящих в МБЯ типа А, изображены на рис. 4.2, а, усилительной БЯ типа В – на рис. 4.2, б.

Каждая МБЯ содержит 10 транзисторов и обеспечивает разветвление по выходу ячейки, равное 3. Усилительная БЯ содержит 4 транзистора, позволяющих расширить нагрузочные способности МБЯ, и обеспечивает коэффициент разветвления по выходу, равный 10.

Периферийная часть БМК представляет собой ПБЯ, каждая из которых содержит 20 транзисторов и контактную площадку, что позволяет осуществить 40 "входов-выходов". Между контактной площадкой питания 42 и площадкой 43 размещен генератор смещения подложки. "Земля" выведена на контактную площадку 21.

Библиотека ФЯ содержит 60 вариантов МФЯ (370–429) и 11 вариантов ПФЯ (430–440). Условные графические изображения типов ФЯ приведены в приложении 7.

Контуры шины питания и "земли" включены в переменные уровни металлизации и подлежат разводке. Разводка связей на кристалле двухслойная, причем уровень поликремния неизменяемый, а уровень алюминия переменный. Межслойные соединения осуществляются с помощью переменного уровня контактов. Основными критериями оптимальности разводки связей можно считать их наименьшую длину и проведение их преимущественно в уровне алюминия. Поликремниевые шины в рабочей зоне для удобства разводки связей через каж-

дые две ячейки имеют разрыв. Если необходимо провести более длинную поликремниевую связь, то в местах разрыва ставятся алюминиевые соединения.

#### 4.2. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ БМК

Полузаказные БИС, создаваемые на основе БМК типа К1801ВП1, функционируют при напряжении питания 5 В. Основные электрические параметры БМК приведены в табл. 4.1.

Динамические параметры и ток потребления каждой конкретной БИСМ определяется в процессе разработки. В табл. 4.2 приведено время задержки основных ФЯ без учета топологических связей (для собственной емкости).

Для обеспечения заданного быстродействия БИСМ необходимо проведение расчета динамических параметров основных цепей схемы с учетом реальных физических процессов в кристалле и реальной трассировки.

Ориентировочный расчет проводится путем задания максимальных значений  $RC$ -связей между логическими элементами и дальнейшим их

Т а б л и ц а 4.1. Электрические параметры БМК типа К1801ВП1

Параметр, единица измерения	Обозначение параметра	Режим измерения	Значение параметра			
			при $T = 25^{\circ}\text{C}$		при $T = 70^{\circ}\text{C}$	
			не менее	не более	не менее	не более
Напряжение питания, В	$U_{CC}$	—	4,75	5,25	4,75	5,25
Выходное напряжение низкого уровня, В	$U_{OL}$	$I_{OL} =$ $= 4,0 \text{ мА}$	—	0,4	—	0,5
Выходное напряжение высокого уровня, В	$U_{OH}$	$I_{OH} =$ $= 1,0 \text{ мА}$	2,7	—	2,6	—
Входное напряжение низкого уровня, В	$U_{IL}$	—	—	0,6	—	0,6
Входное напряжение высокого уровня, В	$U_{IH}$	—	2,4	—	2,4	—
Ток потребления, мА	$I_{CC}$	—	—	180	—	200
Ток утечки по входу, мкА	$I_{LI}$	—	—	1,0	—	10,0
Среднее время задержки на вентиль, нс	$t_d$	Нагрузка на два входа, $U_{CC} = 5 \text{ В}$	—	5,0	—	10,0
Максимальная входная частота, МГц	$f_{CLC}$	—	—	8,0	—	8,0
Емкость входа-выхода, нФ	$C_{I/O}$	—	—	15,0	—	—

Т а б л и ц а 4.2. Времена задержки основных ФЯ БМК типа К1801ВП1

Наименование библиотечной ФЯ	Количество транзисторов в элементе	Среднее время задержки ФЯ, нс
Логический элемент НЕ	2	3,5–4,0
Логический элемент 2ИЛИ–НЕ	3	4,0–5,0
Логический элемент 3ИЛИ–НЕ	4	4,5–6,0
Логический элемент 4ИЛИ–НЕ	5	5,0–6,5
Логический элемент 5ИЛИ–НЕ	6	6,5–8,0
Логический элемент 2И–НЕ	3	5,5–7,5
Логический элемент 2И–ИЛИ–НЕ	4	6,0–8,0
Логический элемент 2И–2И–НЕ	5	7,0–8,5
Логический элемент 2И–2И–ИЛИ–НЕ	6	7,5–9,0
Логический элемент 2И–2И–ИЛИ–ИЛИ–НЕ	7	8,0–10,0
Логический элемент 2И–ИЛИ–ИЛИ–НЕ	5	5,5–7,5
Логический элемент 2И–ИЛИ–ИЛИ–ИЛИ–НЕ	6	7,5–9,0
Логический элемент 2И–ИЛИ–ИЛИ–ИЛИ–ИЛИ–НЕ	7	8,0–10,0
RS-триггер	6	100–12,0
Тактируемый RS-триггер	7	11,0–12,5
$\overline{RS}$ -триггер	6	10,0–12,0
Тактируемый $\overline{RS}$ -триггер	7	11,0–12,5
D-триггер	8	12,0–14,0
Усилитель прямой	4	2,0–3,5
Усилитель инверсный	4	3,0–5,0
Логический элемент "вход" без инверсии (прямой)	4	4,5–6,0
Логический элемент "вход" с инверсией	2	3,5–5,0
Логический элемент "выход"	–	15,0–18,0
Логический элемент "выход" с объединением по ИЛИ	–	14,5–17,5
Логический элемент "выход с тремя состояниями"	–	15,0–18,0

П р и м е ч а н и е. Для триггерных элементов указано время записи.

пересчетом. Сопротивление  $R$  и емкость  $C$  линии связи рассчитываются по формулам

$$C = C_{\text{затв}} N + C_{Si} + C_{Al}; \quad R = \Sigma(R_O + R_T),$$

где  $N$  – число затворов в данной связи;  $C_{Si}$  – емкость поликремниевой линии связи (0,01 пФ на 1 см по топологии);  $C_{Al}$  – емкость алюминиевой линии связи (0,005 пФ на 1 см по топологии);  $C_{\text{затв}}$  – емкость затвора логического элемента;  $R_T$  – сопротивление ключевого транзистора (10 кОм);  $R_O$  – сопротивление нагрузочного транзистора (50 кОм).

При расчете необходимо учитывать топологические особенности компоновки, так как задержка, вносимая поликремниевой шиной, может быть сравнима с задержкой логического элемента.

В зависимости от вида аппаратуры и конкретного применения БИСМ на основе БМК типов К1801ВП1, КР1801ВП1 позволяют заменить до 60 микросхем малой и средней степеней интеграции. Это обеспечивает потребителю уменьшение массогабаритных характеристик аппаратуры в 4–16 раз, экономию затрат на комплектующие изделия и материалы, снижение трудоемкости сборки и регулировки аппаратуры в 6–8 раз, снижение энергоемкости производства и эксплуатации РЭА, увеличение надежности РЭА в 2–3 раза.

## Глава 5

### ЦИФРОВЫЕ БМК НА ОСНОВЕ КМОП

#### 5.1. БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ ТИПОВ К1806ВП1, КР1806ВП1

Стремление к снижению мощности, потребляемой БИСМ, привело к разработке БМК типов К1806ВП1, КР1806ВП1 на основе КМОП-транзисторов [49–51]. Этот тип КМОП БМК по своим функциональным возможностям является аналогом БМК типа К1801ВП1 на основе *n*-МОП.

Кристалл БМК типа К1806ВП1 имеет размер 5,2 × 5,2 мм и 42 контактные площадки. Напряжение питания подается на контактную площадку 42, а "земля" – на контактную площадку 21 (рис. 5.1).

Внутренняя часть БМК представляет собой матрицу (16 × 26) из 416 МБЯ типа *L/T*, каждая из которых содержит 12 МОП-транзисторов (6 *p*-канальных и 6 *n*-канальных). Набор элементов МБЯ приведен на рис. 5.2. Коэффициент разветвления по выходу МБЯ равен 3, а в режиме "усилитель–инвертор" – 8.

Матрица рассечена шинами питания и "земли" на 14 зон, каждая из которых содержит 2 столбца МБЯ. Внутри каждой зоны возможны соединения между ячейками по алюминию; для прохода в другие зоны необходимо использовать поликремниевые вставки, вносящие значительные задержки.

Периферийная часть состоит из 40 ПБЯ типа *V*, расположенных вблизи контактных площадок, и используется для реализации функции "вход-выход". Периферийная БЯ типа *L* содержит два мощных транзистора и схему защиты от статического электричества.

Схемы управления третьим состоянием выходных мощных транзисторов реализуются на МБЯ типа *L*. Число выводов, реализующих функцию "выход", должно быть не более 30. Выводы типов "выход", "вход-выход" размещают симметрично (слева и справа) относительно контактной площадки "земля" (вывод 21).

Электрические параметры аналогичны параметрам ранее рассмотренного БМК типа К1801ВП1. Следует отметить, что при напряжении

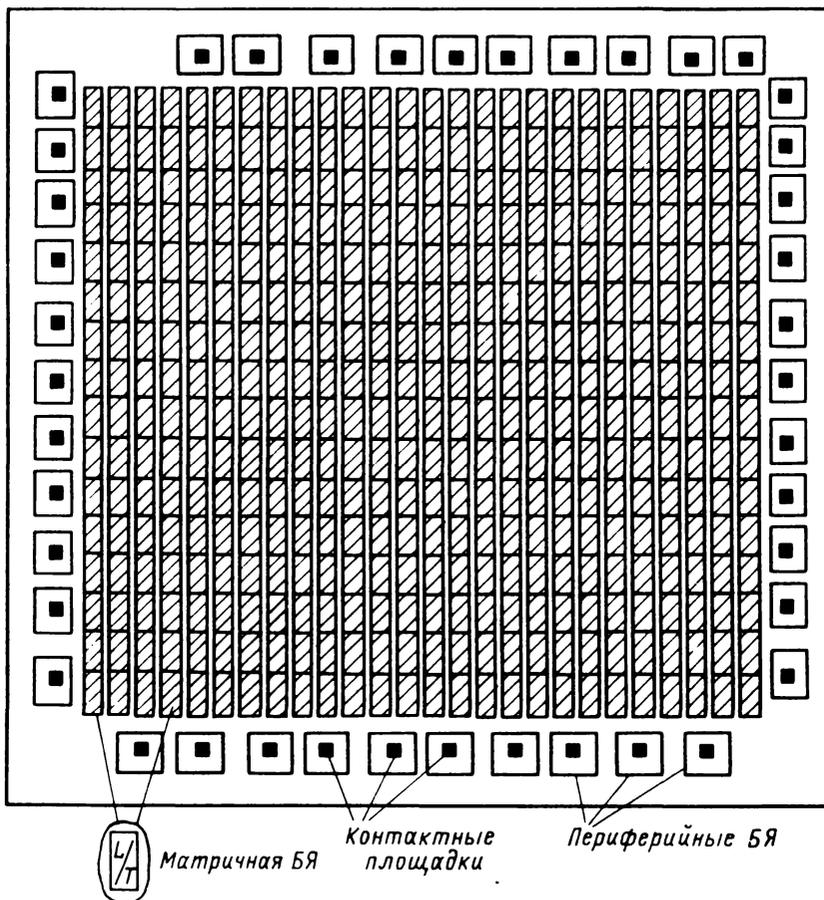


Рис. 5.1. Схематичное изображение кристалла БМК типа К1806ВР1

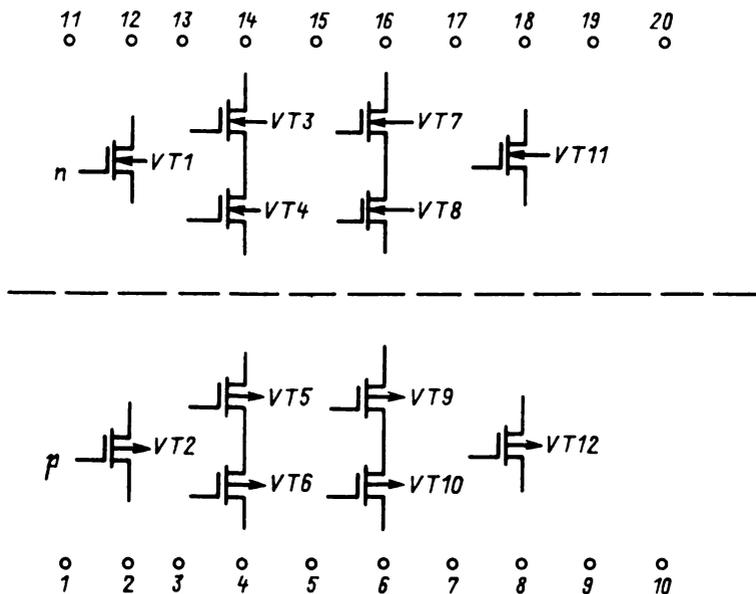


Рис. 5.2. Набор элементов МБЯ для БМК типа К1806ВП1

питания 5 В с допустимым разбросом  $\pm 10\%$  мощность потребления в статическом режиме не более 6 мВт, а максимальная входная частота не более 4 МГц [50].

## 5.2. БАЗОВЫЙ МАТРИЧНЫЙ КРИСТАЛЛ ТИПА К1515ХМ1

В целях дальнейшего повышения степени интеграции КМОП БМК разработан кристалл К1515ХМ1 размером 6,35 × 7,15 мм (длина канала транзистора 3 мкм) [27]. Схематичное изображение кристалла дано на рис. 5.3. Кристалл содержит 64 контактные площадки. Напряжение питания подается на контактную площадку 42, а "земля" — на контактную площадку 32.

Внутренняя часть БМК типа К1515ХМ1 представляет собой матрицу (22 × 46) из 1012 МБЯ типа *VW*, между которыми находятся поликремниевые шины коммутации. Матричная БЯ содержит 12 МОП-транзисторов (6 *p*-канальных и 6 *n*-канальных), соединенных по схеме, приведенной на рис. 5.4. Таким образом, МБЯ состоит из фрагментов *V* (4 транзистора) и *W* (8 транзисторов).

Периферийная часть БМК состоит из 62 ПБЯ с контактными площадками для реализации функции "вход-выход". Каждая ПБЯ состоит из 10 транзисторов и схемы электростатической защиты (2 диода

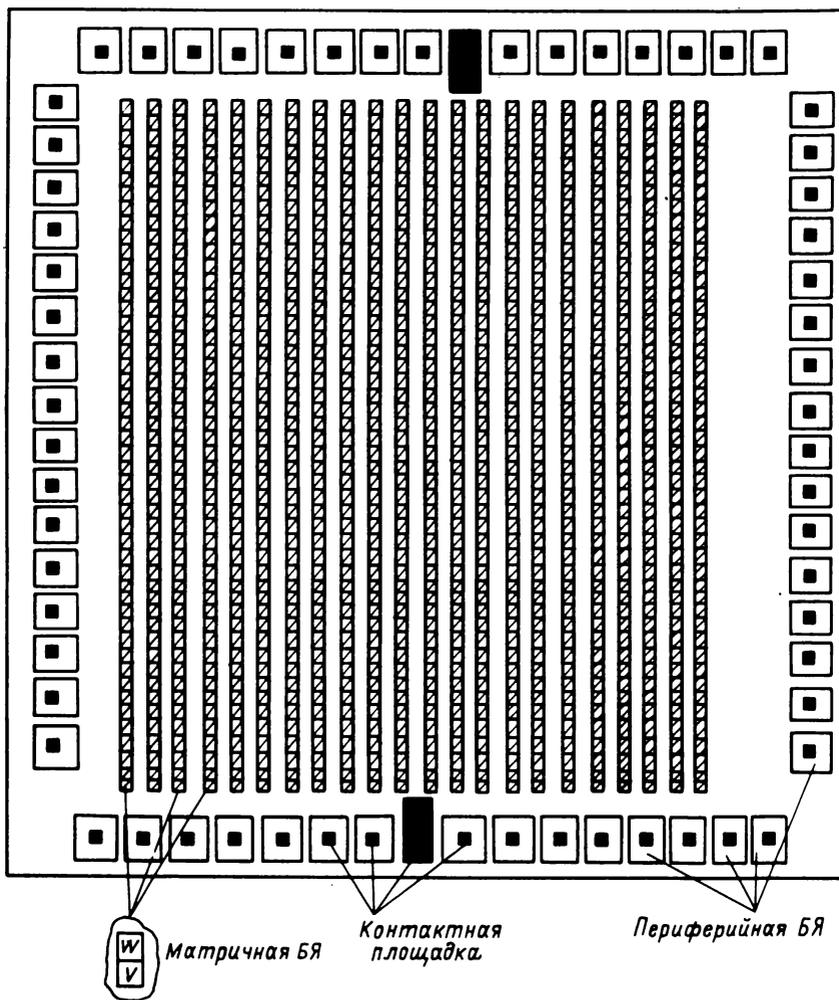


Рис. 5.3. Схематичное изображение кристалла БМК типа K1515XM1

и резистор) и изображена на рис. 5.5. Два мощных транзистора  $VT9$  и  $VT10$  предназначены для реализации функции "выход" на внешние контактные площадки.

Библиотека ФЯ содержит 46 вариантов ФЯ (611–656). Условные графические изображения типов ФЯ и их принципиальные электрические схемы приведены в приложении 8. Следует отметить, что принципиальная электрическая схема для каждой ФЯ дается только

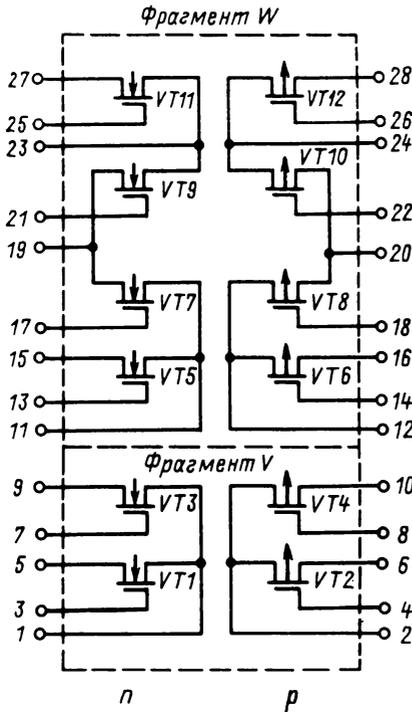


Рис. 5.4. Набор элементов МБЯ для БМК типа К1515ХМ1

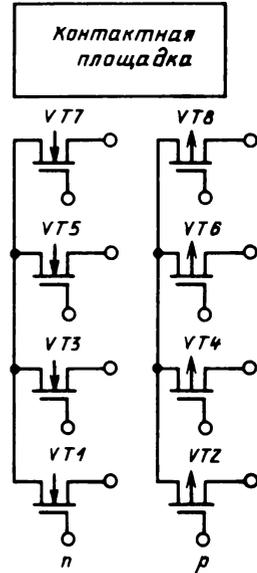
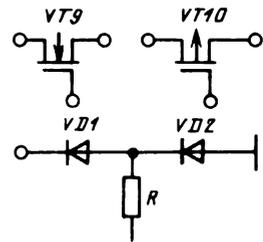


Рис. 5.5. Набор элементов ПБЯ для БМК типа К1515ХМ1

1 раз (при первом упоминании), а в случае ее повторного использования (в какой-либо комбинации) она не приводится, так как была дана ранее.

Электрические параметры БМК приведены в табл. 5.1. Сравнение их с параметрами, указанными в табл. 4.1, показывает, что БМК типа К1515ХМ1 имеет лучшие характеристики и более перспективен для применения в РЭА, чем К1801ВП1, а также К1806ВП1, КР1806ВП1.

При оценке динамических параметров БИСМ на основе БМК типа К1515ХМ1 необходимо использовать изложенные выше рекомендации для К1801ВП1.

Если разрабатываемая БИСМ имеет "выходы", "входы-выходы" с третьим состоянием и к ним подключается резистор  $R = 3,3 \text{ кОм}$ , то необходимо учитывать дополнительное время, вносимое пассивной  $RC$ -нагрузкой на выходе микросхемы.

Т а б л и ц а 5.1. Электрические параметры БМК типа К1515ХМ1

Параметр, единица измерения	Обозначение	Режим измерения	Норма при $T = -10 \div +70 \text{ }^\circ\text{C}$	
			не менее	не более
Напряжение питания, В	$U_{CC}$	–	4,5	5,5
Выходное напряжение низкого уровня, В	$U_{OL}$	$I_{OL} = 1,6 \text{ мА}$	–	0,4
Выходное напряжение высокого уровня, В	$U_{OH}$	$I_{OH} = 0,5 \text{ мА}$	4,0	–
Статический ток потребления, мкА	$I_{CC}$	–	–	400
Среднее время задержки на вентиль, нс	$t_d$	$U_{CC} = 5 \text{ В}$	–	5
Максимальная входная частота, МГц	$f_{CLC}$	–	–	10

Для двух- и трехвыходов элементов ФЯ максимальное число нагрузок – 4, для ключевых схем (они подключаются к выходу инвертора или усилителя) – 3, для инвертора – 5, для усилителя одинарно (612) – 10, для усилителя ЗНЕ (619) – 15, для усилителя 4НЕ (620) – 20, для входного элемента (654) – 12.

Принципиальная электрическая схема БИСМ не должна иметь внутренних генераторов частоты для формирователей импульсов, а также других асинхронных элементов. Запрещается построение схем на динамических элементах с отключением входов БИСМ на время более 100 нс.

Использование БМК типа К1515ХМ1 особенно эффективно при небольших объемах производства, и ориентировочный цикл проектирования – изготовления экспериментальных образцов БИСМ составляет примерно 16 нед [27].

## Глава 6

### АНАЛОГОВЫЕ БМК

#### 6.1. ОСОБЕННОСТИ КОНСТРУИРОВАНИЯ, АРХИТЕКТУРЫ ПОСТРОЕНИЯ И ПРОЦЕДУРЫ ПРОЕКТИРОВАНИЯ ПОЛУЗАКАЗНЫХ БИС НА АНАЛОГОВЫХ БМК

Если для цифровых схем входные и выходные сигналы одинаковы и стандартизированы для данного типа логики, то в аналоговых схемах эти сигналы могут существенно отличаться как по форме, так и по значению входного воздействия. Диапазон входных и выходных управляющих сигналов по напряжению характеризуется значениями от  $10^{-6}$  до  $10^2$  В, а по току – от  $10^{-9}$  до 10 А и более. Поэтому даже

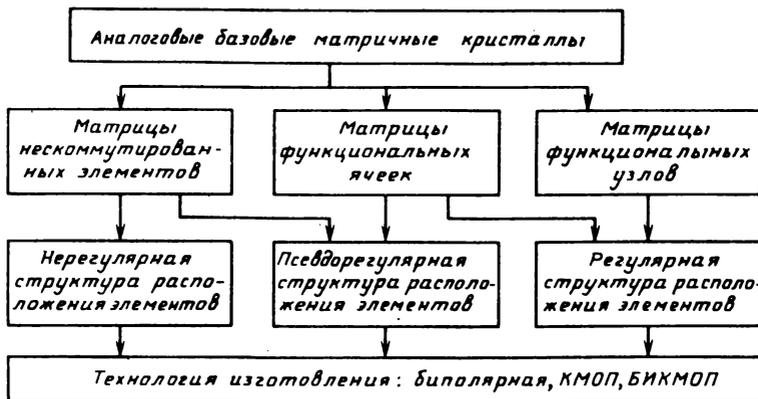


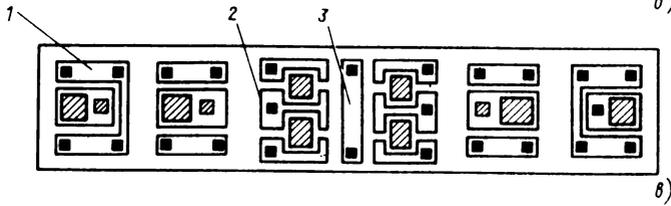
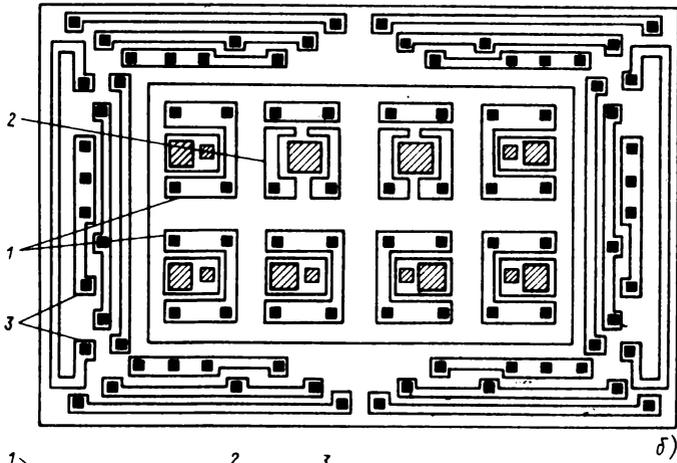
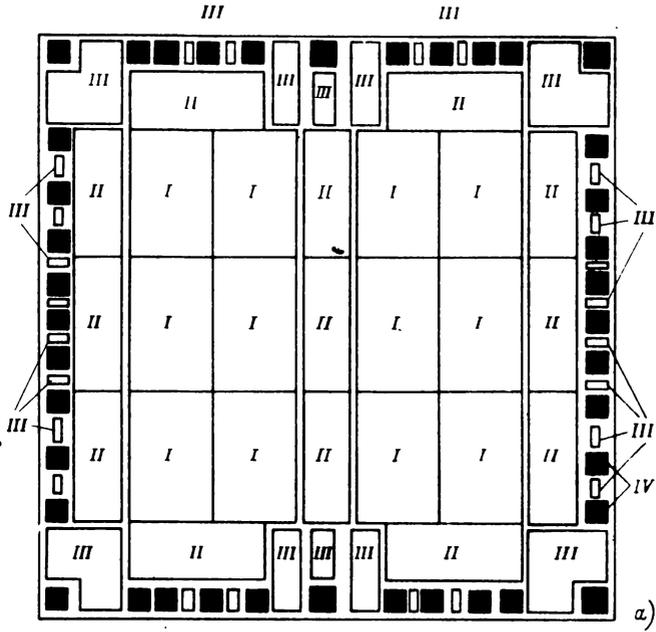
Рис. 6.1. Классификация аналоговых базовых матричных кристаллов

одинаковые по функциональному назначению узлы аналоговых схем при их адаптации под конкретные вид входного воздействия и условия эксплуатации приобретают схемотехнические отличия. В силу этого аналоговые матричные кристаллы приняли такие же многообразные конструктивно-технологические формы, которые с достаточной приближенной степенью точности по способу компоновки и составу входящих в их состав элементов можно условно подразделить на три группы (рис. 6.1).

К первой группе относятся матрицы, состоящие из набора элементов: транзисторов, диодов, резисторов и конденсаторов, расположение которых на кристалле, как правило, нерегулярно и продиктовано схемотехническими особенностями тех классов ИС, для реализации которых они предназначены. Поиск каких-то симметричных и регулярных архитектурных принципов их построения приводит к значительному увеличению площади под соединительную металлизацию, уменьшению степени интеграции и, как следствие, снижению экономической эффективности их использования. Примером такой матрицы являются транзисторные сборки типов КР198НТ1–КР198НТ5 и БМК типа КБ1510ХМ1-4, на этой матрице изготовлены ИС для радиоприемных устройств и систем автоматики (КФ548ХА1, КФ548ХА2, КР1017ХА1 и др.), а также зарубежные БМК типов XRMS-01 (рис. 6.2), XR-A100, на которых реализованы ИС ФАПЧ и функциональных генераторов XR-200, XR-205, XR-210, XR-215, XR-2206 [29–31].

Ко второй группе относятся БМК более высокой степени интеграции с регулярными структурами в виде функциональных ячеек. Каждая такая ячейка предназначена для реализации определенных функциональных узлов аналоговой ИС, например источника тока или





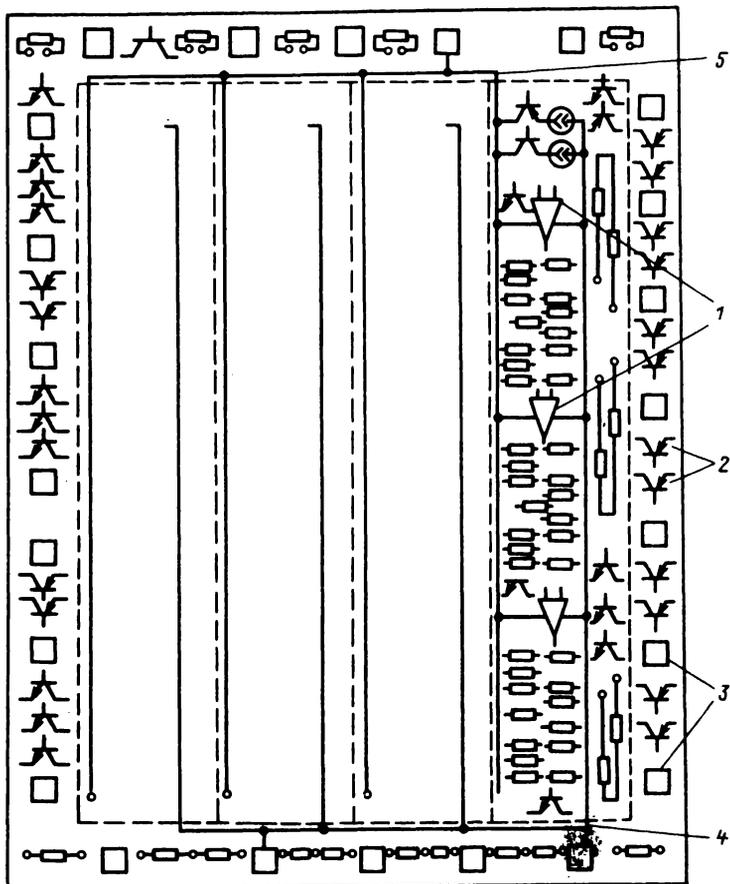


Рис. 6.4. Состав и компоновка элементов матрицы третьей группы типа RLA120:

1 - функциональные элементы типов ОУ и КН; 2 - отдельные транзисторные структуры; 3 - контактные площадки; 4 - шина питания  $+U_{\Pi}$ ; 5 - шина питания  $-U_{\Pi}$

ких матриц осуществляется при помощи двойной металлизации: первым слоем коммутированы элементы в стандартные функциональные узлы, а вторым осуществляется их соединение между собой в соответствии с назначением и структурной схемой БИС. Матрицы этой группы предназначены в первую очередь для потребителей, не имеющих достаточного опыта работы с проектированием электронных схем, состоящих из отдельных транзисторов.

При изготовлении аналоговых БМК используются все виды технологии, нашедшие применения при производстве аналоговых ИС: би-

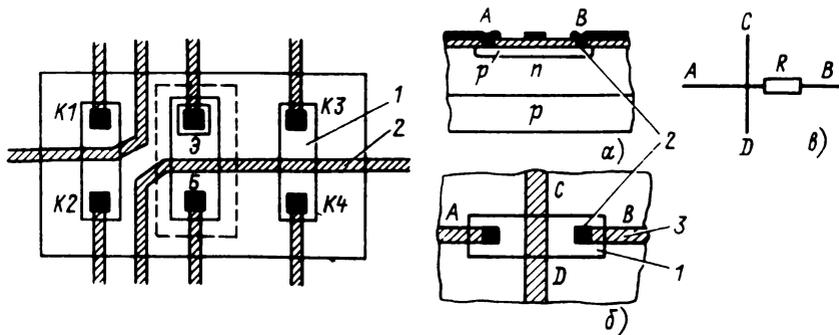


Рис. 6.5. Конструкция  $n-p-n$ -транзистора аналоговой матрицы:

1 – использование подлегированной области коллектора в качестве подныра; 2 – трасса межсоединительной металлизации; К1–К4 – коллекторы; Б – база; Э – эмиттер

Рис. 6.6. Высоколегированные отрезки, используемые в качестве подныров:

1 – высоколегированная  $p$ -область; 2 – контактное окно; 3 – металлизация

полярная с изоляцией элементов обратномещенным  $p-n$ -переходом и оксидом, КМОП-технология и смешанная – БИКМОП.

Элементы аналоговых матриц. Топологические особенности конструкции элементов аналоговых матриц заключаются в том, что, во-первых, они имеют несколько увеличенную, чем это необходимо для обеспечения заданных электрических характеристик, площадь поверхности и дополнительные контактные окна (рис. 6.5), что создает большие удобства для разводки топологии схемы на кристалле, в том числе и за счет прокладки межсоединительной металлизации по площади транзистора между электродами и контактными окнами, во-вторых, конструкция транзисторов позволяет использовать низкоомные области коллектора или базы в качестве подныров и обеспечивать разводку перекрестных межсоединений при однослойной металлизации. Кроме того, в состав матриц могут быть включены дополнительные короткие высоколегированные моно- и поликремниевые отрезки шин. Расположены они в наиболее вероятных местах пересечений трасс межсоединительной металлизации и облегчают разводку соединительной металлизации в один слой. В случае необходимости эти отрезки могут быть использованы как низкоомные резисторы (рис. 6.6, а–в).

Боковые  $p-n-p$ -транзисторы имеют такую конфигурацию, которая обеспечивает формирование двух областей коллектора, изолированных друг от друга. Это позволяет строить токовое зеркало на одном транзисторе (рис. 6.7).

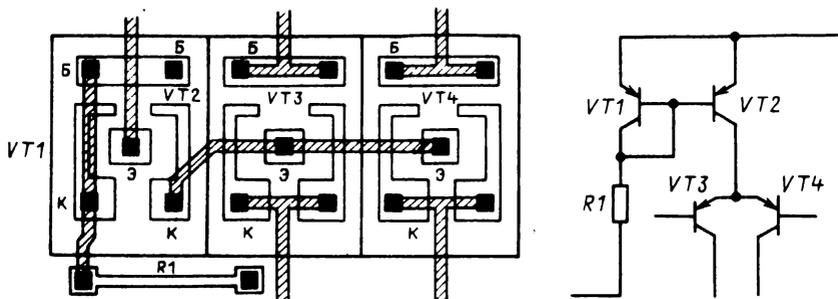


Рис. 6.7. Типовая конфигурация малосигнальных *p-n-p*-транзисторов и вариант металлизации, реализующий токовое зеркало для питания дифференциального каскада на транзисторах *VT3*, *VT4*

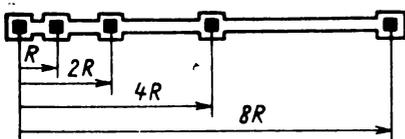


Рис. 6.8. Конфигурация и размещение контактных окон на диффузионном резисторе аналоговых БМК

Диффузионные резисторы сопротивлением от 200 Ом до 20 кОм изготавливаются на базовом слое и имеют абсолютный разброс параметров  $\pm 25\%$  при относительном согласовании  $\pm 2\%$ . Резисторы компонуются в один карман и имеют номиналы стандартного ряда с соотношением 1 : 2 : 4 : 8 (рис. 6.8). Конфигурация их выбирается с учетом того, чтобы можно было подводить к контактному окну металлизацию с любой стороны, а между контактными окнами провести хотя бы одну трассу металлизации.

Характерной чертой аналоговых БМК является относительно большое число типов транзисторов на кристалле (8–15) при относительно небольшом общем их числе (300–500) по сравнению с цифровыми БМК. Число контактных площадок варьируется от 16 до 68. Число микромошных *p-n-p*-транзисторов составляет 15–25% общего числа элементов матрицы, мощных выходных *p-n-p*- и *p-n-p*-транзисторов на кристалле – от двух до восьми. Горизонтальных *p-n-p*-транзисторов в 2,5–3,5 раза меньше, чем микромошных *p-n-p*-транзисторов. Число диффузионных и ионно-имплантированных резисторов составляет примерно половину всех элементов. Общая характеристика состава аналоговых зарубежных матриц приведена в [33, 35].

**Проектирование полужаказных БИС на аналоговых БМК.** Процесс проектирования полужаказных аналоговых БИС на БМК включает в себя следующие укупленные этапы:

разработку функциональной электрической схемы;

разработку принципиальной электрической схемы;  
кодировку принципиальной электрической схемы и ее моделирование (машинный анализ);  
синтез тестовых воздействий для проверки функционирования;  
интерактивное или автоматизированное размещение библиотечных элементов, трассировку межсоединений и (или) ручную разводку схемы на чертеже БМК, эскиз топологии;  
проверку соответствия топологии принципиальной электрической схеме (верификация топологии);  
повторное моделирование БИС с учетом топологических особенностей, паразитных и тепловых взаимосвязей элементов на кристалле.

Процесс проектирования аналоговых БИС на БМК имеет некоторые особенности, обусловленные спецификой аналоговых схем. Особенно это касается средств САПР. Специфика этих средств определена не столько числом компонентов ИС, сколько множеством параметров и режимов, которыми характеризуются аналоговые БИС.

При проектировании аналоговых БИС на БМК для расчета режимов, характеристик электрических параметров схемы используются программы анализа линейных и нелинейных активных и пассивных *RLC*-схем. Наиболее распространенной программой такого рода являются программный комплекс типа *SPICE* и его многочисленные версии: *P-SPICE*, *H-SPICE*, *D-SPICE*, *PELICAN* [36–39]. Новое поколение средств САПР индивидуального пользования не только обладает возможностями анализа электрических схем, но и содержит дополнительные возможности графического ввода-вывода рисунка принципиальной электрической схемы ИС, корректировки ее в интерактивном режиме, автоматизированной разводки топологии, при этом программы обеспечивают расчеты откликов схемы на различные виды входных воздействий и вывод их на дисплей в режиме "программного осциллографа".

Для эффективного использования процедур автоматизированного проектирования необходимы базы данных, содержащих и накапливающих исходную информацию о различных типах БМК, моделях их элементов и их параметрах, схемотехнических фрагментах, их макро-моделях и топологии, в том числе статистические данные, справочные данные (архив) и библиотеки типовых фрагментов и полузаказных схем, реализованных на данном типе матрицы.

**Библиотека функциональных узлов аналоговых БМК.** Для сокращения цикла проектирования полузаказных БИС можно воспользоваться отработанными функциональными узлами, набор которых обычно называют *библиотекой функциональных узлов*. Следует отметить, что по вопросу о библиотеке функциональных узлов, по всей видимости, из-за неизбежных издержек рекламы имеют место некоторые разночтения. В этой связи следует внести определенную ясность в понятие библиотеки. Библиотекой нельзя называть набор принци-

пиальных электрических схем (даже очень хороших), отобранных из различных источников. В лучшем случае это будет учебник по схемотехнике. Библиотека фрагментов БМК – это набор функциональных узлов в виде принципиальных электрических схем, имеющих *топологическую* реализацию на данном типе БМК, причем их топология должна перемещаться внутри его топологических ячеек и обладать возможностями мультиплицирования. Параметры библиотечных фрагментов должны быть рассчитаны с учетом конкретных значений параметров моделей элементов используемого БМК. Таким образом, одна и та же схема, топологически реализованная на ячейках различной архитектуры или на другом типе БМК, принадлежит двум различным библиотекам функциональных узлов. Библиотечные фрагменты служат для пользователя образцом грамотного проектирования схем и топологии.

При разработке БИС библиотечные фрагменты, удовлетворяющие заданным требованиям, сразу включают в состав кристалла и далее осуществляют схемотехническую и топологическую увязки, при этом допускается небольшое изменение схемы и топологии фрагмента. Применение библиотечных фрагментов облегчает разработку, но не избавляет от необходимости моделирования их работоспособности совместно с остальными подсхемами матричной БИС.

Создание библиотеки функциональных узлов для аналоговых БМК – крайне сложная задача. Она кардинальным образом отличается от создания библиотеки узлов цифровых матриц, в которых число типовых фрагментов (вентилей, триггеров, счетчиков и т. п.) для определенного типа логики редко превышает 10–20 схем. Библиотека функциональных узлов аналогового БМК принципиально является “открытой”, поскольку в аналоговой микросхемотехнике число вариантов схем даже однотипных узлов не ограничено. Такое положение, в первую очередь, связано с видом обрабатываемого сигнала: стандартного для данного типа логики в цифровых ИС и самого различного по форме и уровням в аналоговых ИС. Состав библиотечных схем аналоговых БМК может быть самым разнообразным, и чем их больше, тем лучше.

Описание каждого библиотечного фрагмента БМК состоит из рисунка принципиальной электрической схемы, описания ее работы с перечнем основных параметров, входной информации по кодированию схемы в терминах программы схемотехнического моделирования (например, SPICE), графиков зависимостей ее основных электрических характеристик, полученных путем моделирования на ЭВМ, и, наконец, топологического чертежа фрагмента на одной из ячеек БМК. В данной главе приведены описания некоторых библиотечных фрагментов, выполненных на различных аналоговых БМК.

Дальнейшую процедуру проектирования полузаказных аналоговых ИС на БМК рассмотрим в контексте взаимоотношений заказчика и изготовителя ИС. Специализированные многофункциональные анало-

говые БИС в силу своего конкретного назначения имеют ограниченный объем выпуска, а затраты на разработку и производство достаточно высоки. Разработка и изготовление БИС на БМК могут обеспечить взаимную выгоду: для заказчика – это максимальное удовлетворение его технических требований при существенном сокращении сроков разработки и освоения, для изготовителя – высокую рентабельность при малых объемах выпуска. Это возможно в случае кардинального перераспределения обязанностей между сторонами в процессе разработки. Основные этапы разработки аналоговой БИС и схема взаимодействия заказчика и изготовителя в процессе разработки приведены на рис. 6.9. Схема предусматривает привлечение сил заказчика на различных этапах проектирования в зависимости от его опыта работы и наличия оборудования. В предельном случае заказчик выполняет все проектные работы и передает готовую топологию на машинном носителе.

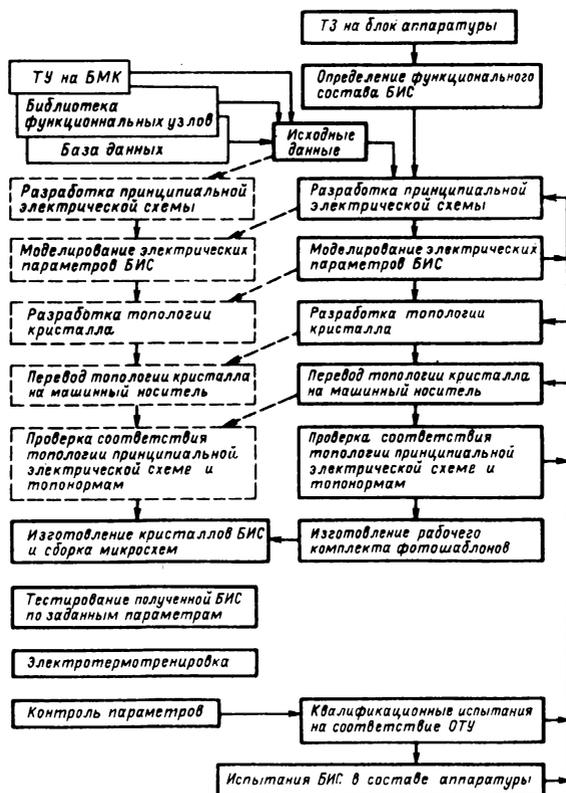


Рис. 6.9. Основные этапы разработки аналоговой БИС на БМК и схема взаимодействия заказчика и изготовителя в процессе разработки

ле изготовителю, который осуществляет изготовление кристалла, сборку микросхем и проверку качества выполнения технологических операций.

Подключение заказчика к процессу проектирования БИС значительно упрощает многие проблемы организационного и технического характера. При наличии научно-технических руководств, нормативных документов, обучающих программ инженеры-схемотехники на предприятиях-заказчиках вполне могут освоить САПР и осуществить разработку полузаказных ИС на БМК. Помощь в обучении правилам разводки слоя металлизации на БМК может быть оказана предприятием-изготовителем БИС. Если заказчик сам разработал принципиальную электрическую схему БИС и нарисовал эскиз топологии на БМК в соответствии с ТУ, то у предприятия-изготовителя появляется возможность при разработке выступать в роли контрагента, выполняющего работы по переводу эскиза топологии на машинные носители информации, изготовлению фотошаблонов матричного кристалла, изготовлению пластин с кристаллами, проверке их функционирования, сборке кристаллов в корпусе. Необходимость согласования технического задания при этом отпадает, поскольку электрическая схема спроектирована самим заказчиком, и значительно сокращается организационная процедура, предшествующая началу работы и отнимающая много сил и энергии у высококвалифицированных специалистов. Качество технологического процесса изготовления гарантируется ТУ на БМК, контролем статических параметров на пластине, электротренировкой полузаказных БИС и контролем их параметров до и после испытаний.

Однако для испытания разнообразных по функциональному назначению аналоговых ИС требуется изготовление испытательной оснастки для каждого типа, а это увеличивает накладные расходы при разработке, так как нет такого универсального контрольно-измерительного оборудования, как, например, для цифровых БИС.

Следует особенно отметить, что сокращение сроков разработки, перераспределение обязанностей между предприятиями не должны снизить качество и надежность БИС. Для этого на этапах проектирования обязательно проверяются режимы работы элементов схемы на их соответствие нормам ТУ на БМК; разработанная принципиальная схема БИС моделируется на ЭВМ в условиях воздействия температур с последующим испытанием в составе аппаратуры. После изготовления БИС необходимо провести электротренировку и контроль параметров. Весь технологический процесс должен быть соответствующим образом аттестован и периодически контролироваться. Другими словами, заказчик должен быть уверен в качестве выполнения всех технологических операций предприятием-исполнителем, а последний — в том, что разработанная принципиальная электрическая схема БИС и ее топология не противоречат требованиям ТУ на БМК.

## 6.2. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ И ХАРАКТЕРИСТИКИ АНАЛОГОВЫХ БМК

Основными общими параметрами, характеризующими аналоговые БМК, являются: технология изготовления, состав и число элементов, их взаимное расположение и электрические параметры. Все элементы, входящие в состав БМК, имеют свою традиционную систему электрических параметров, которая применяется при оценке их качества и может быть использована как предварительная информация при выборе того или иного типа БМК. Однако число этих параметров невелико и недостаточно для проведения расчетов по программам схемотехнического анализа типа SPICE.

Прежде чем перейдем к рассмотрению параметров конкретных БМК, остановимся кратко на описании физической сущности параметров моделей элементов БМК для программы схемотехнического моделирования SPICE 2 (версия PELICAN).

Для моделирования биполярного транзистора используется модель Гуммеля—Пуна, а в случае отсутствия ряда параметров этой модели — более простая модель Эберса—Молла.

В статическом режиме токи коллектора и базы описываются уравнениями со следующими параметрами:

$I_S$  — сквозной ток насыщения, определяемый как экстраполированный ток коллектора при  $U_{БЭ} = 0$  из вольт-амперной характеристики (ВАХ)  $\ln(I_K) = f(U_{БЭ})$ . При снятии ВАХ выводы базы и коллектора должны быть разомкнуты;

$NF$  — коэффициент эмиссии прямого тока, определяющий наклон ВАХ  $\ln(I_K) = f(U_{БЭ})$  на малых и средних токах прямого включенного транзистора;

$NR$  — коэффициент эмиссии инверсного тока, аналогичный параметру  $NF$ , но при инверсном включении транзистора;

$BF$  — коэффициент усиления по току в прямом включении, определяемый максимальным значением отношения  $I_K/I_B$  при  $U_{КБ} = 0$  для прямого включения транзистора;

$BR$  — коэффициент усиления по току в инверсном включении, определяемый максимальным значением отношения  $I_Э/I_B$  при  $U_{БЭ} = 0$  для инверсного включения транзистора;

$ISC$  — ток утечки коллекторного перехода.

Параметры  $ISC$  и  $NC$  описывают неидеальную коллекторную составляющую тока базы, моделирующую эффекты поверхностной рекомбинации, рекомбинации носителей в коллекторном переходе, возникновение каналов проводимости на поверхности коллектора и базы (низкоинжекционные утечки);

$ISE$  — токи утечек эмиттерного перехода;

$NE$  — коэффициент эмиссии токов утечек эмиттерного перехода.

Параметры  $ISE$  и  $NE$  описывают неидеальную эмиттерную составляющую тока базы, моделирующую эффекты поверхностной рекомбинации носителей, рекомбинации носителей в эмиттерном переходе, возникновение каналов проводимости на поверхности эмиттера и базы;

$VAF$  – напряжение Эрли в прямом включении;

$VAR$  – напряжение Эрли в инверсном включении.

Параметры  $VAF$  и  $VAR$  характеризуют модуляцию базы под влиянием напряжения коллекторного и эмиттерного перехода соответственно и определяются из наклонов выходных ВАХ;

точка изгиба зависимости  $I_K = f(U_{БЭ})$  при больших токах в прямом включении;

точка изгиба зависимости  $I_Э = f(U_{БК})$  при больших токах в инверсном включении.

Параметры  $IKF$  и  $IKR$  характеризуют убывание значений прямого и инверсного коэффициентов усиления по току при высокой инжекции эмиттера (коллектора). Как правило, значения этих параметров соответствуют значениям токов, при которых текущие значения соответствующих коэффициентов усиления по току равны половине своего максимального значения.

Учет дополнительных падений напряжений на переходах осуществляется с помощью объемных сопротивлений активных областей транзистора:

$RE$  – омического сопротивления области эмиттера;

$RC$  – последовательного сопротивления области коллектора;

$RB$  – объемного сопротивления области базы при малых токах;

$RBM$  – минимального сопротивления базы при больших токах.

Если в модели задается только параметр  $RB$ , то сопротивление базы считается постоянным и независимым от режима работы.

Моделирование транзистора с учетом инерционных эффектов осуществляется при помощи емкостей и времени пролета носителей через базу:

$TF$  – времени пролета носителей через базу в прямом включении;

$TR$  – времени пролета носителей через базу в инверсном включении;

$XTF$  – коэффициента, учитывающего зависимость  $TF$  от режима;

$VTF$  – характеристического напряжения, учитывающего изменение

$TF$  при увеличении  $U_{БК}$ ,

$ITF$  – критического тока, определяющего спад  $TF$  при увеличении тока.

Для описания емкостей используются следующие параметры:

$CJE$  – диффузионная емкость перехода база–эмиттер при прямом смещении;

$VJE$  – контактная разность потенциалов для перехода база–эмиттер;

$MJE$  – коэффициент линейности перехода база–эмиттер.

Параметры  $CJC$ ,  $VJC$ ,  $MJC$  характеризуют переход база–коллектор, а  $CJS$ ,  $VJS$ ,  $MJS$  – переход коллектор–подложка.

Для описания перехода в прямом смещении используется коэффициент  $FC$ .

При описании емкости  $p$ - $n$ -перехода коллектор–база ее принято делить на активную и пассивную составляющие, что имеет важное значение при анализе работы транзистора на высоких частотах. Для этого используется параметр  $XCIC$ , который связывает эти составляющие емкости следующим образом:

$$C_{\text{пас}} = CJC XCIC; \quad C_{\text{акт}} = CJC(1 - XCIC).$$

Учет температурных изменений параметров модели проводится при помощи следующих параметров:

$XTB$  – температурного коэффициента  $BF$ ;

$XTI$  – температурного коэффициента начального тока.

Два параметра служат для описания шумов в области низких частот – ”фликер шума”:

$KF$  – линейный коэффициент фликер-шума;

$AF$  – степенной коэффициент фликер-шума.

Измерение параметров интегрального транзистора для их идентификация параметрам модели – достаточно сложная задача, зависящая от условий технологического процесса. Поэтому справочные данные по параметрам модели замещения не следует считать абсолютно точными, они служат для проведения предварительных расчетов. При окончательном моделировании БИС эти параметры должны быть уточнены исходя из реальных условий изготовления.

Рассмотрим конструкции и основные характеристики типовых представителей аналоговых БМК [28].

Базовый матричный кристалл КБ1510ХМ1-4 выполнен по биполярно-полевой технологии с изоляцией элементов обратносмещенным  $p$ - $n$ -переходом. В состав кристалла входят:

$n$ - $p$ - $n$ -транзисторы малой мощности ( $P_{\text{рас}} = 15$  мВт) типа  $TNA$  – 38 шт.;

$n$ - $p$ - $n$ -транзисторы повышенной мощности ( $P_{\text{рас}} = 90$  мВт) типа  $TNM$  – 2 шт.;

латеральные  $p$ - $n$ - $p$ -транзисторы малой мощности ( $P_{\text{рас}} = 15$  мВт) типа  $TPA$  – 20 шт.;

подложковые  $p$ - $n$ - $p$ -транзисторы малой мощности ( $P_{\text{рас}} = 15$  мВт) типа  $TPB$  – 2 шт.;

подложковые  $p$ - $n$ - $p$ -транзисторы повышенной мощности ( $P_{\text{рас}} = 90$  мВт) типа  $TPM$  – 2 шт.;

полевые  $p$ -канальные транзисторы с управляющим  $p$ - $n$ -переходом – 8 шт.;

резисторы с удельным сопротивлением  $160$  Ом/□ – 116 шт.

Основные электрические параметры биполярных транзисторов приведены в табл. 6.1, а полевых – в табл. 6.2. Размер кристалла  $2,4 \times 2,4$  мм, число контактных площадок – 17. Размещение элементов

Т а б л и ц а 6.1. Параметры биполярных транзисторов

Параметр, единица измерения	Тип транзистора				Режим измерения
	<i>n-p-n</i> малой мощности типа ТУА	<i>n-p-n</i> повышенной мощности типа ТУМ	<i>p-n-p</i> латеральный типа ТРА	<i>p-n-p</i> подложки малой мощности типа ТРВ	
Статический коэффициент тока базы $h_{21э}$ , не менее	50	30	5		$I_{Э} = 1 \text{ мА}, U_{КЭ} = 5 \text{ В}$ $I_{Э} = 10 \text{ мА}, U_{КЭ} = 5 \text{ В}$ $I_{Э} = 0,1 \text{ мА}, U_{КЭ} = 5 \text{ В}$ $I_{Э} = 0,1 \text{ мА}, U_{КЭ} = 5 \text{ В}$ $I_{Э} = 10 \text{ мА}, U_{КЭ} = 5 \text{ В}$
Рекомендуемый рабочий ток коллектора $I_{К}$ , мА	0,1–2	1–20	0,01–0,1	0,05–0,5	–
Обратный ток коллектора $I_{К0}$ , нА, не более	5	20	10	20	$U_{КБ} = 15 \text{ В}$
Граничная частота $f_{гр}$ , МГц, не менее	350	50	3	3	$U_{КБ} = 15 \text{ В}$



на кристалле нерегулярное с одной вертикальной осью симметрии. Транзисторы объединены в группы, в непосредственной близости от которых расположены наборы резисторов, что позволяет удобно осуществлять разводку фрагмента схемы. Транзисторы повышенной мощности расположены по периферии кристалла между контактными окнами (рис. 6.10).

Параметры моделей элементов БМК КБ1510ХМ1-4 (рис. 6.11–6.22) приведены ниже.

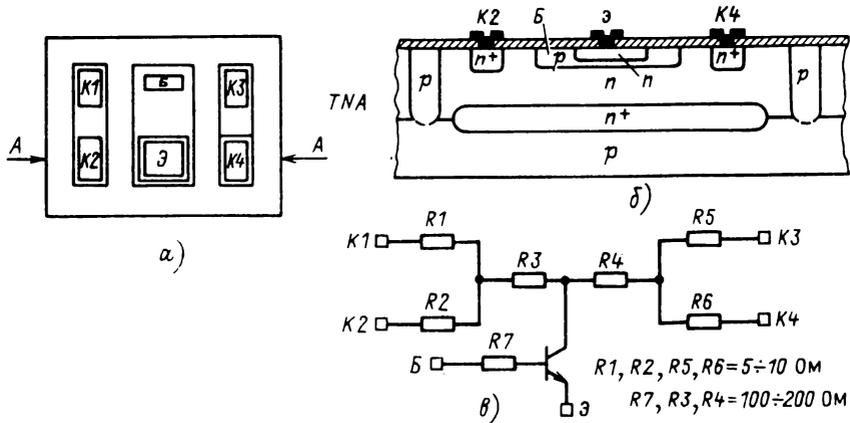


Рис. 6.11. Топология (а), структура (б) и эквивалентная схема (в) *n-p-n*-транзистора типа *TNA* БМК типа КБ1510ХМ1-4

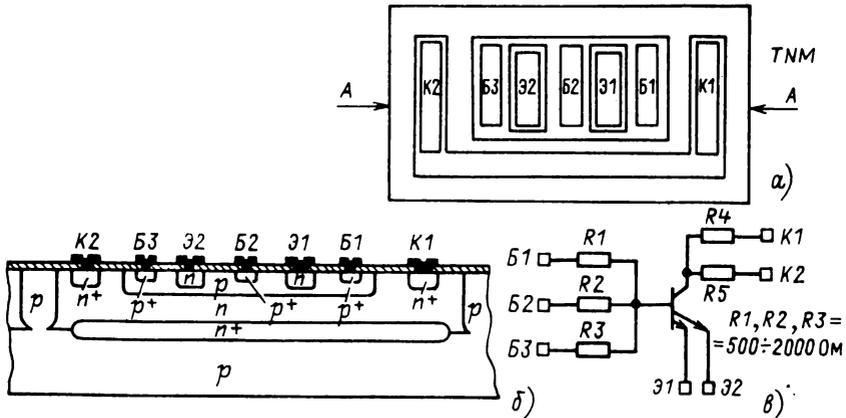


Рис. 6.12. Топология (а), структура (б) и эквивалентная схема (в) *n-p-n*-транзистора типа *TNM* БМК типа КБ1510ХМ1-4

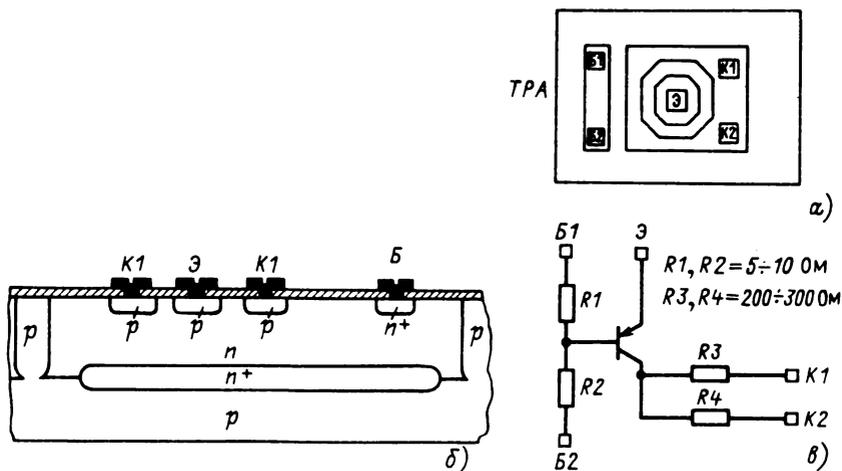


Рис. 6.13. Топология (а), структура (б) и эквивалентная схема (в)  $p-n-p$ -транзистора типа  $TPA$  БМК типа КБ1510ХМ1-4

Транзистор  $n-p-n$  малой мощности типа  $TNA$ :

$BF = 5,0E+01$ ;  $BR = 6,01E+00$ ;  $CJC = 9,33E-13$ ;  $CJE = 3,5E-13$ ;  
 $FC = 9,0E-01$ ;  $IKF = 1,6E-02$ ;  $IKR = 4,2E-03$ ;  $IS = 4,5E-16$ ;  
 $MJC = 4,5E-01$ ;  $MJE = 5,53E-01$ ;  $NC = 2,0E+00$ ;  $NE = 1,5E+00$ ;  $NE =$   
 $= 1,0E+00$ ;  $NR = 1,0E+00$ ;  $RB = 2,2E+02$ ;  $RC = 8,2E+01$ ;  $RE = 6,5E-$   
 $-03$ ;  $TF = 4,2E-10$ ;  $TR = 1,6E-10$ ;  $VAF = 2,0E+01$ ;  $VAR = 1,96E+$   
 $+00$ ;  $VJC = 7,7E-01$ ;  $VJE = 8,8E-01$ ;  $XTB = 3,35E+00$ ;  $XTI = 1,69E+$   
 $+00$ ;

транзистор  $n-p-n$  повышенной мощности типа  $TNM$ :

$BF = 3,0E+01$ ;  $BR = 1,08E+01$ ;  $CJC = 4,15E-12$ ;  $CJE = 2,8E-12$ ;  
 $FC = 9,0E-01$ ;  $IKF = 1,762E-02$ ;  $IKR = 3,38E-02$ ;  $MJC = 4,89E-01$ ;  
 $MJE = 5,5E-01$ ;  $NC = 2,0E+00$ ;  $NE = 1,5E+00$ ;  $NF = 1,0E+00$ ;  $NR = 1,0E+$   
 $+00$ ;  $RB = 5,0E+02$ ;  $RC = 4,2E+02$ ;  $RE = 2,2E-03$ ;  $TF = 3E-10$ ;  $TR =$   
 $= 1,6E-10$ ;  $VAF = 2,8E+01$ ;  $VAR = 2,2E+00$ ;  $VJC = 7,7E-01$ ;  $VJE =$   
 $= 8,8E-01$ ;  $XTB = 3,36E+00$ ;  $XTI = 1,69E+00$ ;

латеральный транзистор  $p-n-p$  малой мощности типа  $TPA$ :

$BF = 5,0E+00$ ;  $BR = 1,0E+00$ ;  $CJC = 9,2E-14$ ;  $CJE = 3,5E-13$ ;  $FC =$   
 $= 9,0E-01$ ;  $IKF = 2,0E-03$ ;  $IKR = 5,3E-04$ ;  $IS = 3,6E-15$ ;  $MJC =$   
 $= 3,9E-01$ ;  $MJE = 5,025E-01$ ;  $NC = 2,0E+00$ ;  $NE = 1,5E+00$ ;  $NF = 1,0E+$   
 $+00$ ;  $NR = 1,0E+00$ ;  $RC = 3,0E+02$ ;  $RE = 7E-02$ ;  $TF = 1,8E-09$ ;  $TR =$   
 $= 4,0E-09$ ;  $VAF = 2,2E+01$ ;  $VAR = 1,5E+01$ ;  $VJC = 5,9E-01$ ;  $VJE =$   
 $= 7,75E-01$ ;  $XTB = 2,749E+00$ ;  $XTI = 5,195E+00$ ;

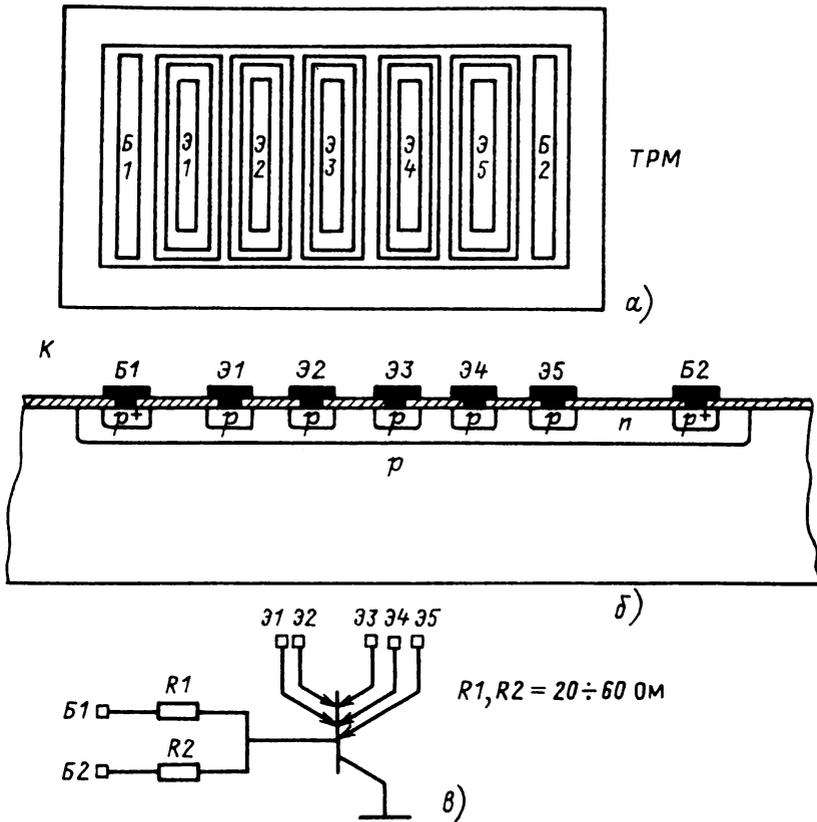


Рис. 6.14. Топология (а), структура (б) и эквивалентная схема (в) *p-n-p*-транзистора типа ТРМ БМК типа КБ1510ХМ1-4

подложковый *p-n-p*-транзистор повышенной мощности типа ТРМ:  
 $BF = 5,0E+00$ ;  $BR = 1,0E+00$ ;  $CJC = 4,2E-12$ ;  $CJE = 2,0E-12$ ;  $FC = 9,0E-01$ ;  $IKF = 1,0E-01$ ;  $IKR = 3,2E-03$ ;  $IS = 2,1E-14$ ;  $MJC = 3,9E-01$ ;  $MJE = 5,0E-01$ ;  $NC = 2,0E+00$ ;  $NE = 1,5E+00$ ;  $NF = 1,0E+00$ ;  $NE = 1,0E+00$ ;  $RC = 7,2E+01$ ;  $RB = 2,0E+01$ ;  $RE = 1,0E-03$ ;  $TF = 1,0E-09$ ;  $TR = 4,1E-09$ ;  $VAF = 2,1E+01$ ;  $VAR = 1,49E+01$ ;  $VJC = 5,9E-01$ ;  $VJE = 7,75E-01$ ;  $XTB = 2,749E+00$ ;  $XTI = 5,195E+00$ ;  
 полевые транзисторы с затвором на основе *p-n*-перехода типа ТМ:  
 $IS = 1,0E-14$ ;  $RS = 2,0E+01$ ;  $N = 1,0E+01$ ;  $TT = 1,0E-09$ ;  $CJO = 4,0E-12$ ;  $VJ = 6,56E-01$ ;  $M = 5,0E-01$ ;  $EG = 1,11E+01$ ;  $XTI = 3,0E+00$ ;  $BV = 2,56E+01$ ;  $IBV = 1,0E-03$ .

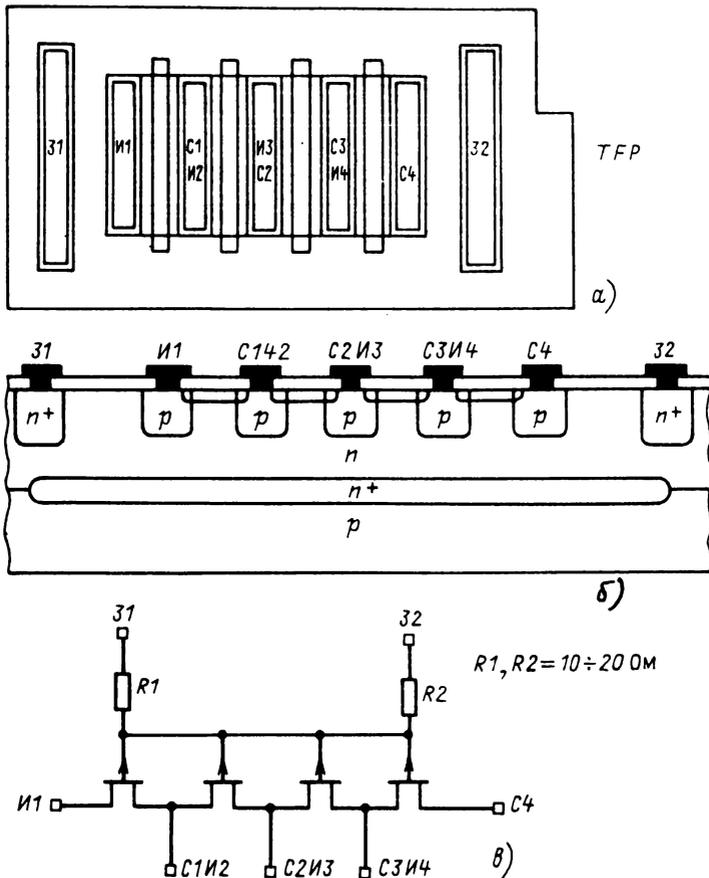


Рис. 6.15. Топология (а), структура (б) и эквивалентная схема (в) полевого транзистора БМК типа КБ1510ХМ1-4

Аналоговый БМК типа КБ1451ХН2-4 выполнен по биполярной технологии и изоляцией элементов обратносмещенным *p-n*-переходом и предназначен для построения радиотелевизионных полужаказных аналоговых ИС. Выпускается он в двух модификациях с размером кристалла  $2,3 \times 3,0$  и  $3,7 \times 3,0$  мм, рассчитан на применение одноуровневой металлизации.

На кристалле первой модификации (рис. 6.23) расположены 640 элементов, из них 140 *n-p-n*-транзисторов, 34 *p-n-p*-транзистора, 448 резисторов и 16 конденсаторов, а также 24 контактные площадки размером  $140 \times 140$  мкм. Элементы БМК сгруппированы в ячейки семи

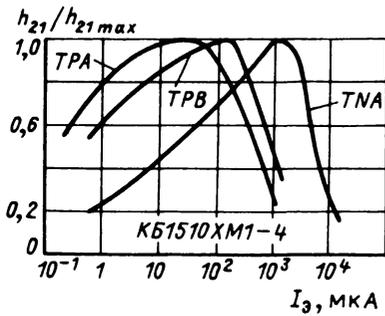


Рис. 6.16. Типовые зависимости нормированных значений коэффициента передачи тока базы биполярных транзисторов от тока эмиттера при  $T = +25^\circ\text{C}$

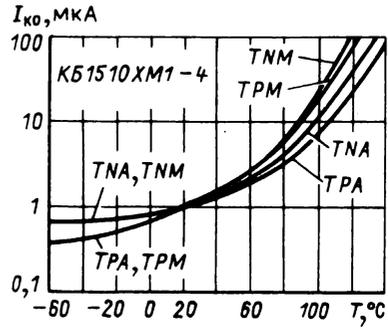


Рис. 6.17. Типовые зависимости нормированных к базовому значению при  $T = +25^\circ\text{C}$  обратных токов коллектора биполярных транзисторов БМК типа КБ1510ХМ1 от температуры окружающей среды

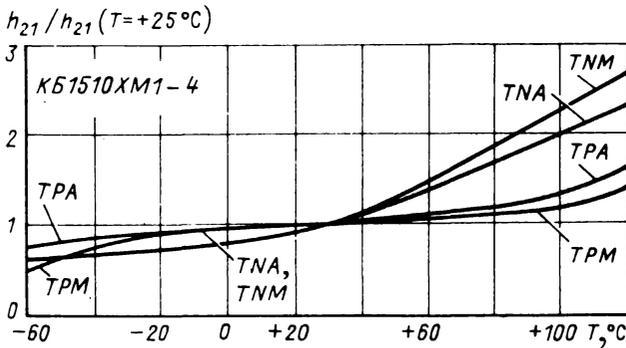


Рис. 6.18. Типовые зависимости статических коэффициентов тока базы биполярных транзисторов БМК типа КБ1510ХМ1-4, нормированных к базовому значению при  $T = +25^\circ\text{C}$ , от температуры окружающей среды

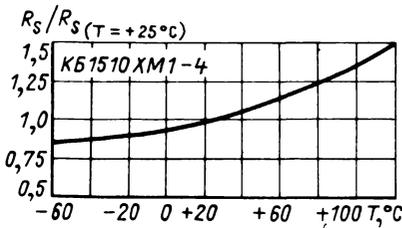


Рис. 6.19. Типовая зависимость сопротивления диффузионного резистора БМК типа КБ1510ХМ1, нормированного к базовому значению при  $T = +25^\circ\text{C}$ , от температуры окружающей среды

Рис. 6.20. Типовая зависимость напряжения отсечки полевого транзистора БМК типа КБ1510ХМ1-4, нормированного к базовому значению при  $T = +25^\circ\text{C}$ , от температуры окружающей среды

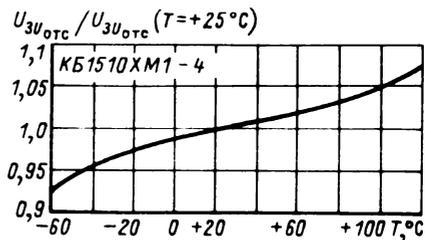


Рис. 6.21. Типовая зависимость тока утечки затвора полевого транзистора БМК типа КБ1510ХМ1-4, нормированного к базовому значению при  $T = +25^\circ\text{C}$ , от температуры окружающей среды

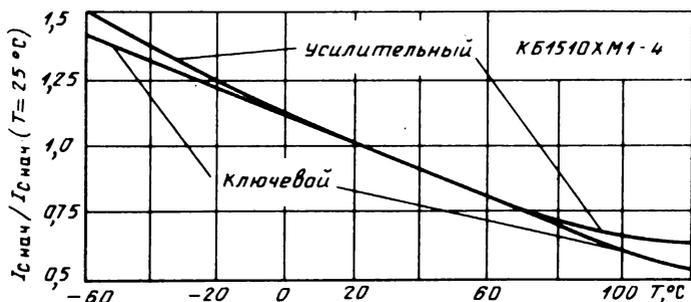
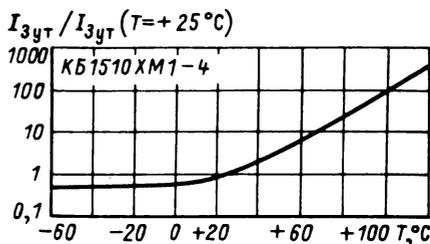


Рис. 6.22. Типовые зависимости токов стоков полевых транзисторов БМК типа КБ1510ХМ1-4, нормированных к базовому значению при  $T = +25^\circ\text{C}$ , от температуры окружающей среды

типов, которые объединены в два макрофрагмента: первый содержит четыре ячейки типа 2, по две ячейки типов 4 и 6 и одну ячейку типа 7; второй – две ячейки типов 1 и 5 и три ячейки 3. Макрофрагменты отделены друг от друга проходом для проведения соединительной металлизации. Большое число раз повторяются ячейки с большим числом элементов, используемые при конструировании основных узлов аналоговых ИС, а меньшее число раз повторяются ячейки, предназначенные для выполнения сервисных функций в электрической схеме (цепи смещения, ключевые элементы, источники тока и напряжения и т. п.).

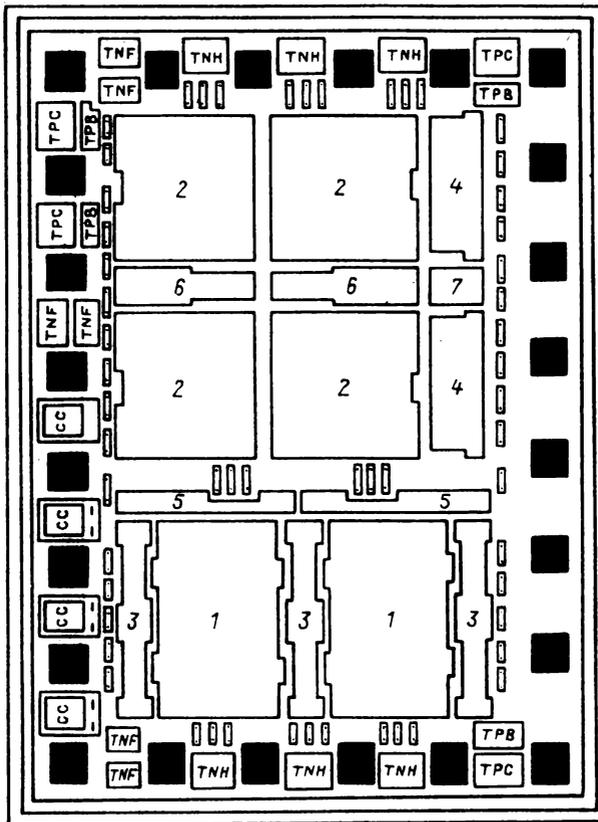
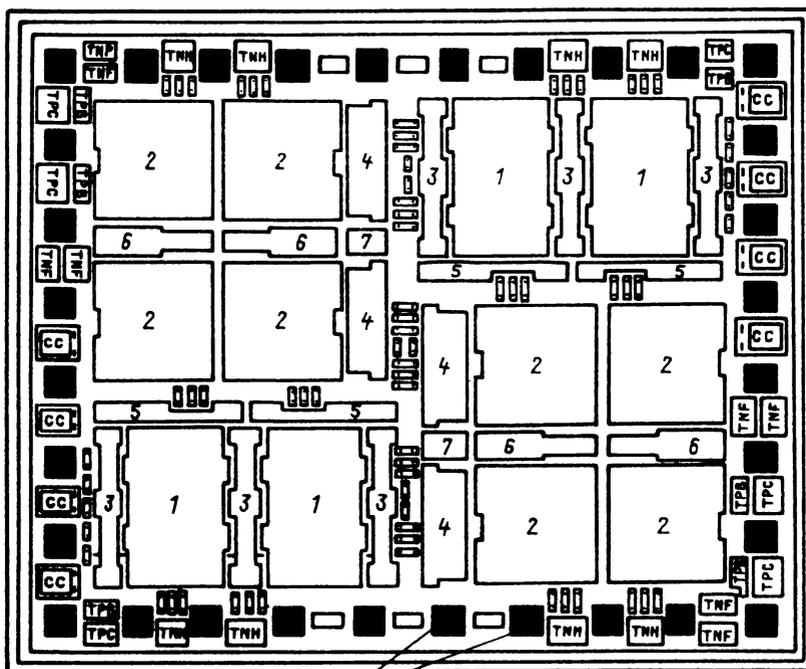


Рис. 6.23. Топология БМК типа KB1451XH2-4 первой модификации

Вторая модификация БМК (рис. 6.24) в 2 раза больше и содержит четыре аналогичных макрофрагмента из ячеек семи типов, расположенных на кристалле центрально-симметрично, т. е. они совмещаются полностью при повороте одного макрофрагмента на  $180^\circ$  относительно геометрического центра кристалла. На кристалле расположены 1422 элемента, из них 276 *n-p-n*-транзисторов, 60 *p-n-p*-транзисторов, 32 конденсатора, 854 резистора с суммарным сопротивлением 860 кОм, а также 32 контактные площадки.

В обеих модификациях кристаллов по периферии между контактными площадками размещены элементы больших геометрических размеров: *n-p-n*-транзисторы средней мощности ( $I_K = 120$  мА); два типа *p-n-p* подложковых транзисторов (*TPB* и *ТПС*) на токи 5 и 10 мА, а также конденсаторы на основе *p-n*-перехода типа *СС* емкостью 20 пФ.



Контактные площадки

Рис. 6.24. Топология БМК типа КБ1451ХН2-4 второй модификации

Транзисторы повышенной мощности могут использоваться в мощных усилительных схемах или стабилизаторах напряжения, поэтому они расположены максимально близко к контактным площадкам. Это позволяет сократить длину широких проводников, по которым текут большие токи, а равномерное расположение по периметру кристалла обеспечивает лучшую равномерность прогрева кристалла и термостабильность собранной схемы.

В межфрагментных проходах БМК находятся так называемые диффузионные перемычки (низкоомные резисторы с сопротивлением 15–100 Ом), которые могут быть использованы для бесконфликтной трассировки вертикальных и горизонтальных проводников межфрагментных связей, т.е. для облегчения разводки межсоединений элементов полужаказной БИС при одноуровневой металлизации.

Первый макрофрагмент в качестве основной содержит ячейку типа 1 (рис. 6.25), на базе которой в совокупности с сервисными ячейками типов 3 и 5 (рис. 6.27 и 6.29) можно реализовать достаточно сложные схемы: аналоговые перемножители и смесители сигналов,

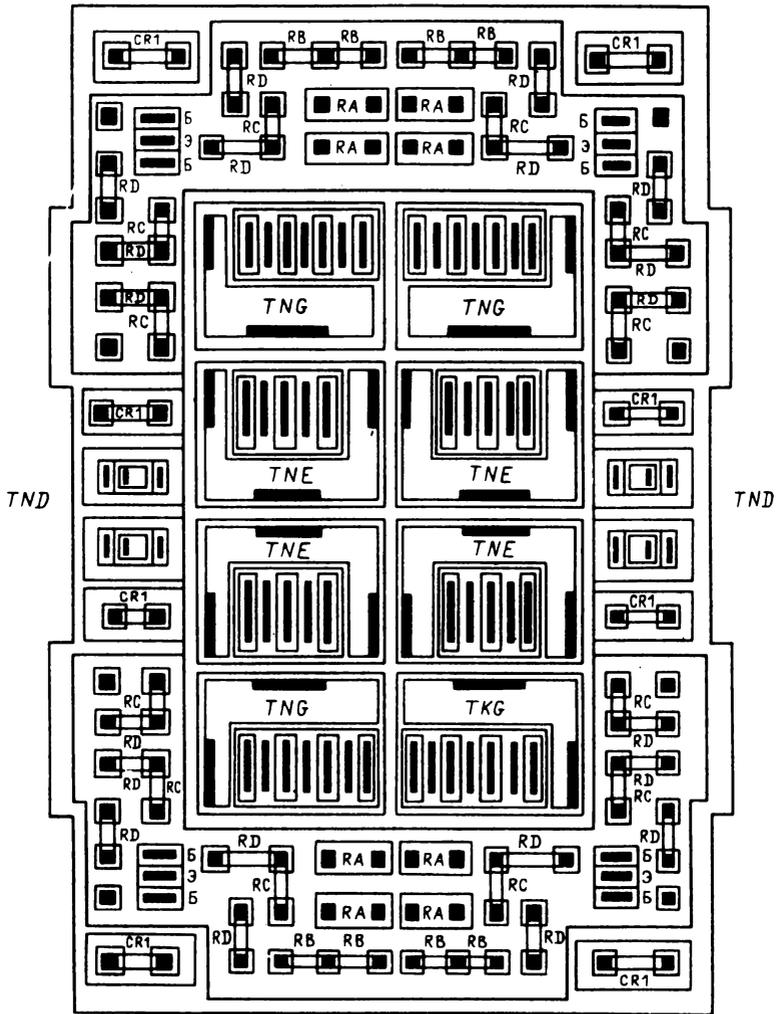


Рис. 6.25. Топология ячейки типа 1

дифференциальные усилители и пр. Ячейка типа 1 содержит центрально-симметричные четверки  $n-p-n$ -транзисторов увеличенных геометрических размеров типов  $TNE$  и  $TNG$ , имеющих хорошее согласование параметров и малые паразитные омические сопротивления. По периметру ячейки расположены резисторы с широким диапазоном номиналов сопротивлений, а также четыре диода типа  $TND$  и четыре подлож-

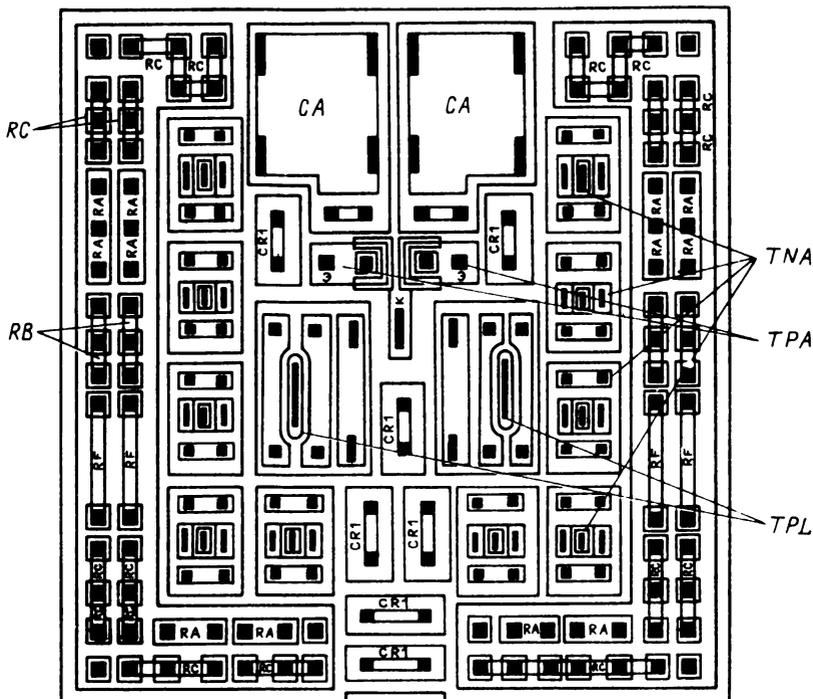


Рис. 6.26. Топология ячейки типа 2

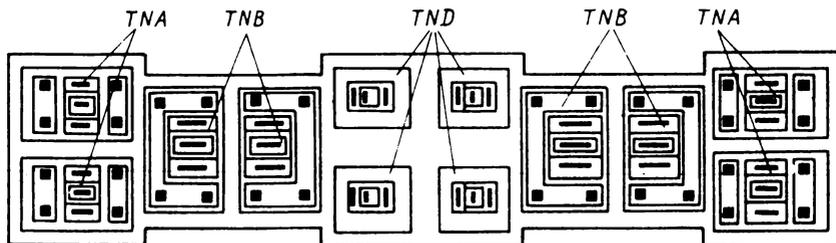


Рис. 6.27. Топология ячейки типа 3

ковых *p-n-p*-транзистора. Элементы сервисных ячеек типов 3 и 5 могут использоваться для реализации цепей задания постоянных токов и напряжений. Эти ячейки содержат разнообразные типы *p-n-p*- и *n-p-n*-транзисторов. Расположены ячейки вдоль межфрагментных проходов и между ячейками типов 1 и 3, что обеспечивает удобство их разводки к основным узлам схемы.

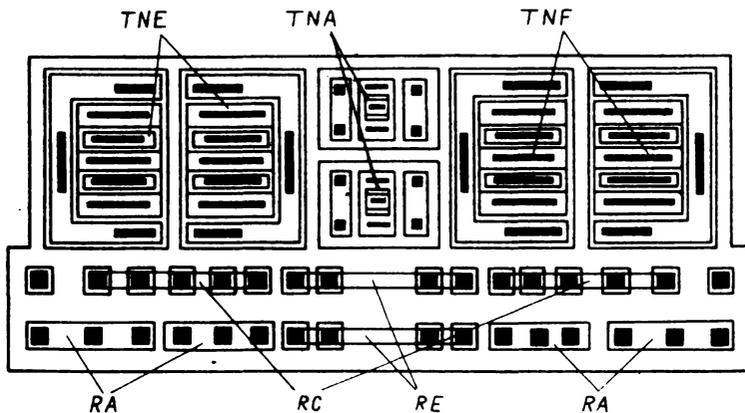


Рис. 6.28. Топология ячейки типа 4

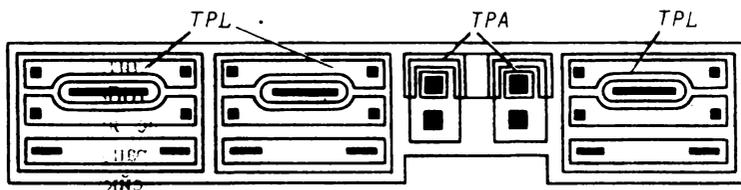


Рис. 6.29. Топология ячейки типа 5

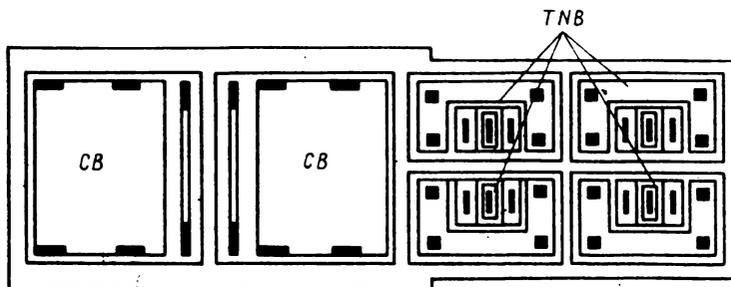
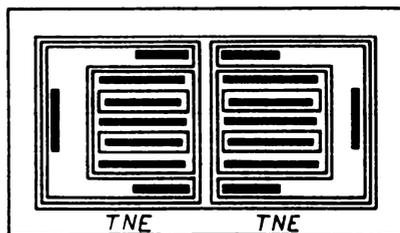


Рис. 6.30. Топология ячейки типа 6

Второй топологический макрофрагмент содержит ячейки четырех типов; в качестве базовой используется ячейка типа 2 (рис. 6.26), а сервисными являются ячейки типов 4, 6 и 7 (рис. 6.28, 6.30, 6.31). Ячейки типа 2 содержат десять согласованных  $n-p-n$ -транзисторов ти-

Рис. 6.31. Топология ячейки типа 7



па *TNA*, окруженных большим числом резисторов. Внутри ячейки расположены два двухколлекторных *p-p-p*-транзистора *TPL*, усиленных парой подложковых *p-p-p*-транзисторов *TPA* с высоким коэффициентом усиления по току. Отношение числа *n-p-n*-транзисторов к числу *p-p-p*-транзисторов в ячейке равно 10 : 4. Ячейка типа 2 содержит два конденсатора на основе *p-n*-перехода.

Основное назначение ячейки типа 2 — это реализация на ее основе каскадов усиления промежуточной частоты и различных цепей управления приемных трактов, детекторов, гетеродинов, делителей частоты и других функциональных узлов радиоприемников. Чтобы иметь возможность реализовывать входные каскады, сервисные ячейки 4 и 7 содержат согласованные пары молотуемых *n-p-n*-транзисторов, а в сервисных ячейках типа 6, расположенных между ячейками второго типа, имеется по два конденсатора, позволяющих осуществить развязку по постоянному току между каскадами ИС.

Резисторы в ячейках БМК располагаются группами в отдельных резистивных островках по несколько резисторов последовательно. Такая конфигурация резисторов позволяет путем их последовательного и параллельного соединения получать сопротивление нужного номинала. В каждом резистивном острове имеется контакт для подключения шины положительного источника питания с тем, чтобы изолировать резисторы друг от друга. Поскольку в высокочастотных схемах и схемах с низким значением напряжения питания в качестве нагрузочных резисторов используются резисторы небольшого номинала, то они весьма широко представлены в основных базовых ячейках БМК ( $RA = 100 \text{ Ом}$ ,  $RB = 440 \text{ Ом}$ ,  $RC = 1,2 \text{ кОм}$ ), а сопротивление, приходящееся на один активный элемент матрицы, составляет 2,5 кОм.

На рис. 6.32–6.39 показаны топология и структура интегральных элементов БМК с обозначением электродов на поверхности. Элементы имеют развитую поверхность с дублирующими контактными окнами, что позволяет облегчить разводку металлизации и использовать низкоомные подлегированные области в качестве подныров, например как это показано на рис. 6.40.

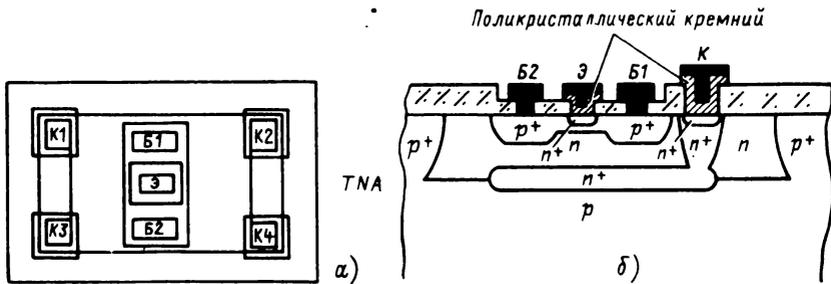


Рис. 6.32. Топология (а) и структура (б) *n-p-n*-транзистора типа *TNA* БМК типа КБ1451ХН2-4

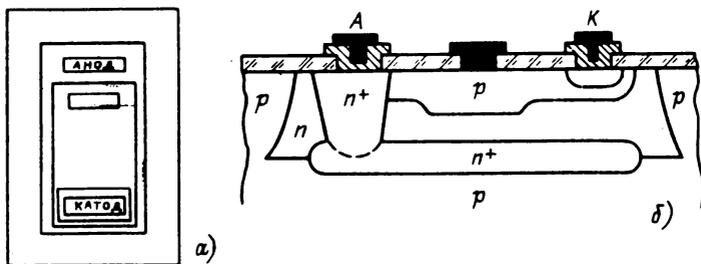


Рис. 6.33. Топология (а) и структура (б) диода типа *TND*

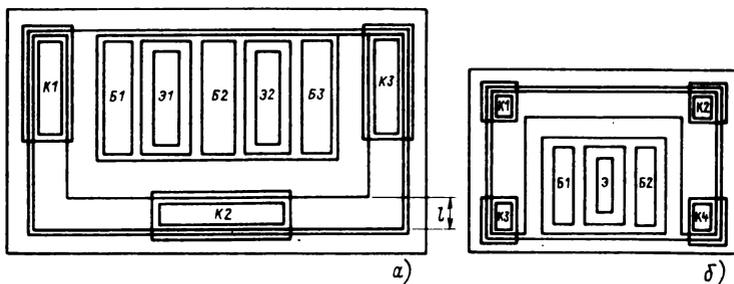


Рис. 6.34. Топология транзисторов *n-p-n*-типа:

*a* – *TNE* и *TNF* (отличие этих транзисторов состоит в ширине коллектора; для *TNE*  $l = 30$  мкм, а для *TNF*  $l = 20$  мкм); *б* – *TNB*

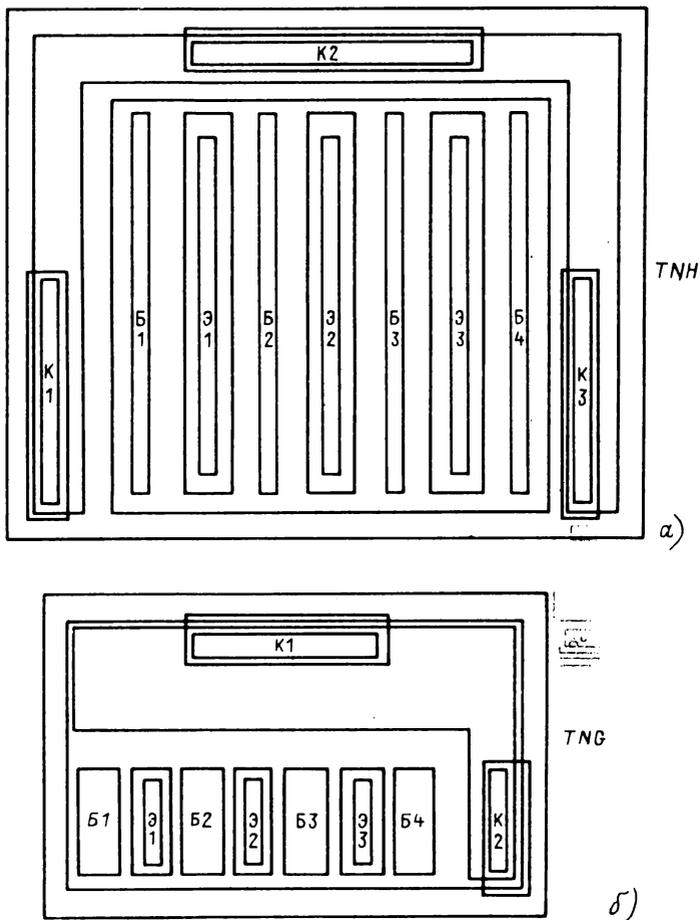


Рис. 6.35. Топология транзисторов *n-p-n*-типа:  
*а* – TNH; *б* – TNG

**Основные электрические параметры элементов БМК  
 КБ1451ХН2-А при  $T = +25^{\circ}\text{C}$**

Статический коэффициент передачи тока в схеме с общим эмиттером транзисторов типов:

<i>TNA</i> , <i>TNB</i> .....	85–217
<i>TNE</i> , <i>TNF</i> , <i>TNG</i> , <i>TNH</i> .....	87–193
<i>TPA</i> .....	150–199
<i>TPB</i> , <i>TPC</i> .....	157–202
<i>TPL</i> , не менее .....	3

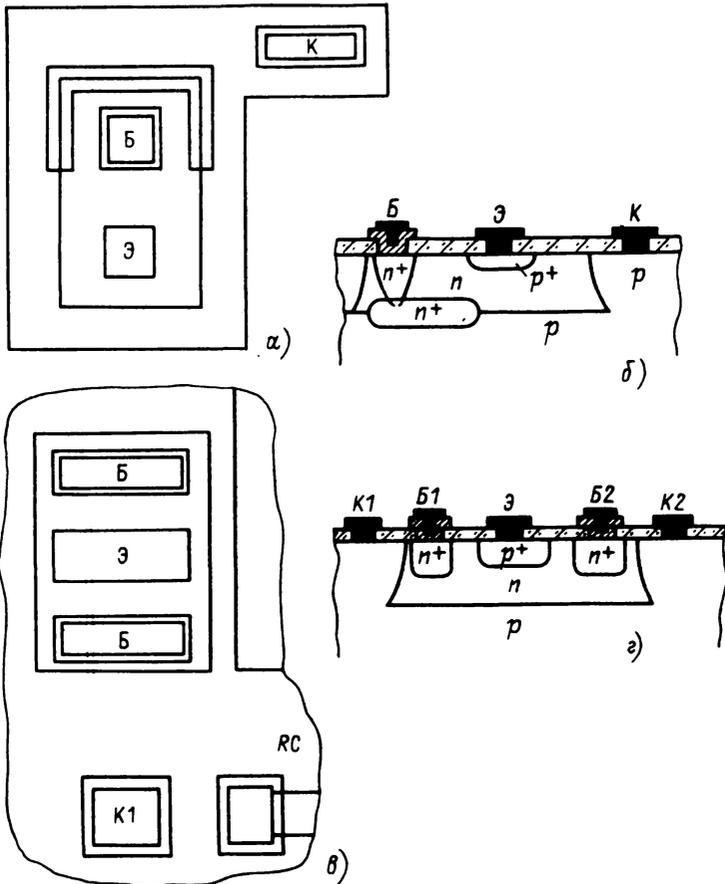


Рис. 6.36. Топология и структура подложковых *p-n-p*-транзисторов:  
*а, б* –  $TPA = 1$ ; *в, г* –  $TPA = 2$

Обратный ток коллектора, мА, транзисторов типов:

<i>TNA, TNB, TPL</i> , не более .....	10
<i>TNE, TNF, TNG, TNH, TPA, TPB, TPC</i> , не более .....	20

Пробивное напряжение коллектор–база, В, транзисторов типов:

<i>TNA, TNE, TNF, TNG, TNH</i> , не менее .....	16
<i>TPA</i> , не менее .....	60
<i>TPB, TPC</i> , не менее .....	47
<i>TPL</i> , не менее .....	16

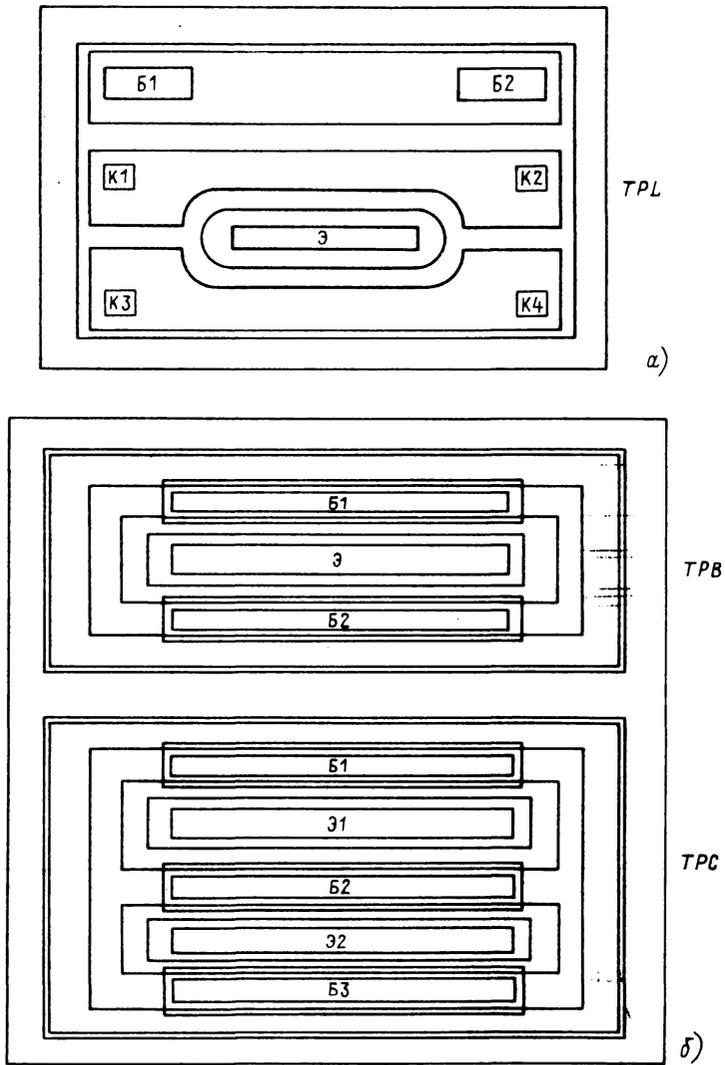


Рис. 6.37. Топология *p-n-p*-транзисторов БМК типа КБ1451ХН2-4:  
*а* – латерального типа *TPL*; *б* – подложковых типов *TPC* и *TPB*

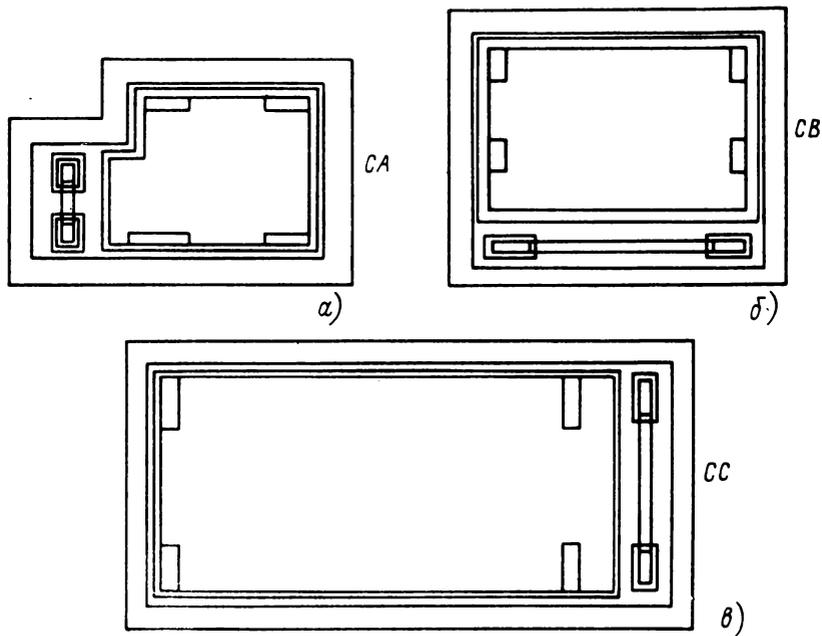


Рис. 6.38. Топология конденсаторов БМК типа КБ1451ХН2-4:

*a* – типа СА; *б* – типа СВ; *в* – типа СС

Пробивное напряжение коллектор–эмиттер, В, транзисторов типов:

<i>TNA, TNB</i> , не менее .....	8,5
<i>TNE, TNF, TNG, TNH</i> , не менее .....	8,2
<i>TPA</i> , не менее .....	16
<i>TPB, TPC</i> , не менее .....	15

Пробивное напряжение коллектор–подложка, В, транзисторов типов:

<i>TNA, TNB</i> , не менее .....	80
<i>TNE, TNF, TNG, TNH</i> , не менее .....	70

Прямое падение напряжения, В, на диоде типа

<i>TND</i> .....	0,71–0,75
------------------	-----------

Обратное пробивное напряжение, В, диода типа

<i>TND</i> , не менее .....	4
-----------------------------	---

Удельная емкость конденсаторов, пФ/мм<sup>2</sup>,  
не менее .....

1500

Удельное сопротивление резистивных слоев,

Ом/□ :

пассивной базы .....	88–85
активной базы .....	450–550
глубокого $n^+$ коллектора, не более .....	10

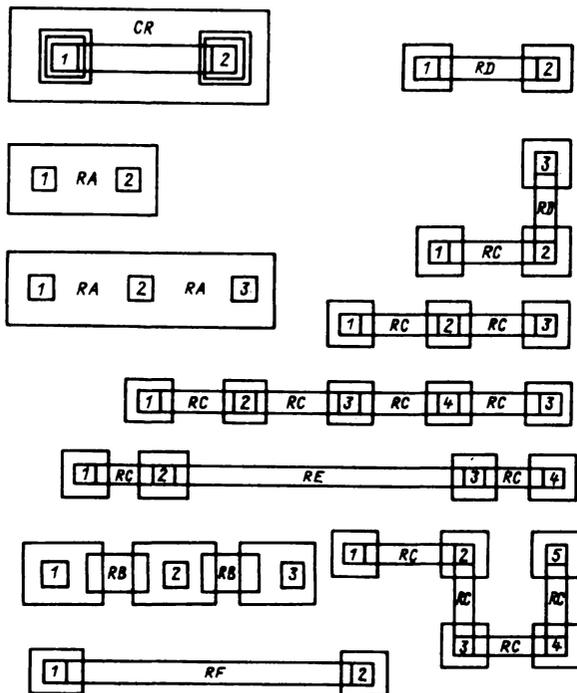


Рис. 6.39. Типы резисторов БМК типа КБ1415ХН2-4:

$CR$  – диффузионная перемычка на основе слоя глубокого  $n^+$ -коллектора сопротивлением 30–40 Ом;  $RA = 100$  Ом,  $RB = 440$  Ом,  $RC = 1,2$  кОм,  $RD = 2,4$  кОм,  $RE = 4,6$  кОм,  $RF = 5,8$  кОм – резисторы на базовом слое

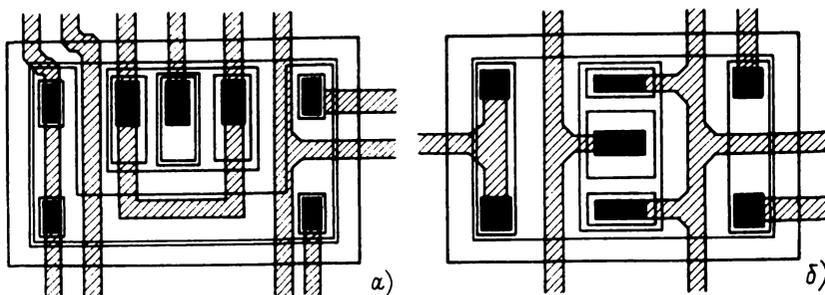


Рис. 6.40. Варианты проведения шин металлизации через внутренние области  $n-p-n$ -транзисторов малых геометрических размеров:

*а* – транзисторов типа *TNB*; *б* – транзистор типа *TNA*

Зависимости электрических параметров БМК КБ1451ХН2-1 приведены на рис. 6.41–6.45.

Элементы БМК имеют следующие значения параметров по модели Гуммеля–Пуна:

транзистор типа *TNA*:

$CJE = 0,35 \cdot 10^{-12}$ ;  $MJE = 0,553$ ;  $VJE = 0,881$ ;  $CJC = 9,33 \cdot 10^{-13}$ ;  $MJC = 0,489$ ;  $VJC = 0,771$ ;  $FC = 0,9$ ;  $TF = 3,089 \cdot 10^{-10}$ ;  $TR = 1,611 \times 10^{-10}$ ;  $BF = 54,36$ ;  $BR = 6,02$ ;  $VAF = 28,26$ ;  $VAR = 2,27$ ;  $IS = 6,008 \times 10^{-16}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 8,01 \cdot 10^{-3}$ ;  $RB = 520$ ;  $RC = 17,0$ ;  $IKF = 22,03 \cdot 10^{-3}$ ;  $IKR = 4,22 \cdot 10^{-3}$ ;  $XTI = 1,694$ ;  $XTB = 3,363$ ;

транзистор типа *TNB*:

$CJE = 0,7 \cdot 10^{-12}$ ;  $MJE = 0,5025$ ;  $VJE = 0,881$ ;  $CJC = 1,45 \cdot 10^{-12}$ ;  $MJC = 0,489$ ;  $VJC = 0,771$ ;  $FC = 0,9$ ;  $TF = 3,089 \cdot 10^{-10}$ ;  $TR = 1,611 \times 10^{-10}$ ;  $BF = 54,36$ ;  $BR = 7,74$ ;  $VAF = 28,26$ ;  $VAR = 2,27$ ;  $IS = 1,2 \times 10^{-15}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 4,55 \cdot 10^{-3}$ ;  $RB = 394$ ;  $RC = 13,6$ ;  $IKF = 61,68$ ;  $IKR = 8,45 \cdot 10^{-3}$ ;  $XTI = 1,694$ ;  $XTB = 3,363$ ;

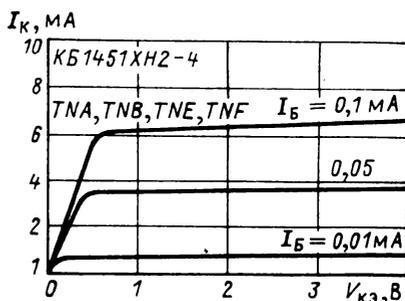
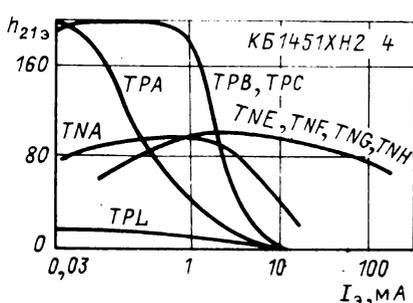


Рис. 6.41. Типовые зависимости статических коэффициентов передачи тока базы в схеме с общим эмиттером транзисторов БМК типа КБ1451ХН2-4 от тока эмиттера

Рис. 6.42. Типовые зависимости тока коллектора от напряжения коллектор–эмиттер *p-n-p*-транзисторов типов *TNA*, *TNB*, *TNE*, *TNF* БМК типа КБ1451ХН2-4

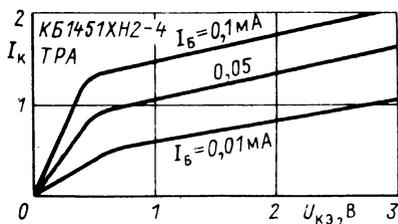


Рис. 6.43. Выходные характеристики *p-n-p*-транзисторов типа *TPA* БМК типа КБ1451ХН2-4

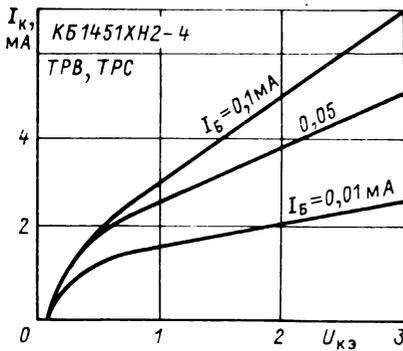


Рис. 6.44. Выходные характеристики *p-n-p*-транзисторов типов *TPB*, *TPC* БМК типа *KB1451XH2-4*

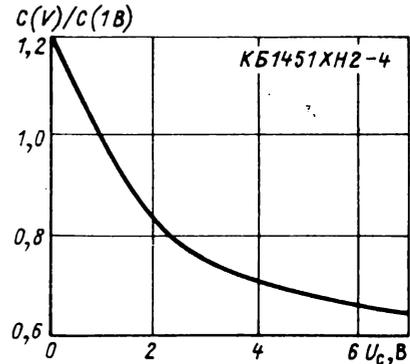


Рис. 6.45. Типовая зависимость удельной емкости конденсатора на основе *p-n*-перехода БМК типа *KB1451XH2-4* от напряжения

транзистор типа *TND*:

$CJE = 6,883 \cdot 10^{-13}$ ;  $MJE = 0,553$ ;  $VJE = 0,881$ ;  $CJC = 1,448 \cdot 10^{-12}$ ;  $MJC = 0,489$ ;  $VJC = 0,771$ ;  $FC = 0,9$ ;  $TF = 3,089 \cdot 10^{-10}$ ;  $TR = 1,611 \times 10^{-10}$ ;  $BF = 54,36$ ;  $BR = 12,63$ ;  $VAR = 28,26$ ;  $VAE = 7,74$ ;  $IS = 1,2 \times 10^{-15}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 6,95 \cdot 10^{-3}$ ;  $RC = 0,835$ ;  $IKF = 6,168 \cdot 10^{-2}$ ;  $IKR = 8,45 \cdot 10^{-3}$ ;  $XTI = 1,694$ ;  $XTB = 3,363$ ;

транзистор типа *TNE*:

$CJE = 0,85 \cdot 10^{-12}$ ;  $MJE = 0,553$ ;  $VJE = 0,881$ ;  $CJC = 4,14 \cdot 10^{-12}$ ;  $MJC = 0,489$ ;  $VJC = 0,771$ ;  $FC = 0,9$ ;  $TF = 3,089 \cdot 10^{-10}$ ;  $TR = 1,611 \times 10^{-10}$ ;  $BF = 54,36$ ;  $BR = 10,84$ ;  $VAR = 28,26$ ;  $VAE = 2,27$ ;  $IS = 4,8 \times 10^{-15}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 1,114 \cdot 10^{-3}$ ;  $RB = 97$ ;  $RC = 5,9$ ;  $IKF = 17,62 \cdot 10^{-3}$ ;  $IKR = 33,8 \cdot 10^{-3}$ ;  $XTI = 1,694$ ;  $XTB = 3,363$ ;

транзистор типа *TNF*:

$CJE = 2,8 \cdot 10^{-12}$ ;  $MJE = 0,553$ ;  $VJE = 0,881$ ;  $CJC = 4,15 \cdot 10^{-12}$ ;  $MJC = 0,489$ ;  $VJC = 0,771$ ;  $FC = 0,9$ ;  $TF = 3,089 \cdot 10^{-10}$ ;  $TR = 1,611 \times 10^{-10}$ ;  $BF = 54,36$ ;  $BR = 10,84$ ;  $VAR = 28,26$ ;  $VAE = 2,27$ ;  $IS = 4,8 \times 10^{-15}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 1,114 \cdot 10^{-3}$ ;  $RB = 97$ ;  $RC = 5,62$ ;  $IKF = 17,62 \cdot 10^{-3}$ ;  $IKR = 33,8 \cdot 10^{-3}$ ;  $XTI = 1,694$ ;  $XTB = 3,363$ ;

транзистор типа *TNG*:

$CJE = 4,2 \cdot 10^{-12}$ ;  $MJE = 0,553$ ;  $VJE = 0,881$ ;  $CJC = 5,83 \cdot 10^{-12}$ ;  $MJC = 0,489$ ;  $VJC = 0,771$ ;  $FC = 0,9$ ;  $TF = 3,089 \cdot 10^{-10}$ ;  $TR = 1,611 \times$

$\times 10^{-10}$ ;  $BF = 54,36$ ;  $BR = 11,56$ ;  $VAR = 28,26$ ;  $VAF = 2,27$ ;  $IS = 7,2 \times 10^{-15}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 7,425 \cdot 10^{-4}$ ;  $RB = 56,59$ ;  $RC = 6,92$ ;  $IKF = 26,43 \cdot 10^{-3}$ ;  $IKR = 50,7 \cdot 10^{-3}$ ;  $XTI = 1,694$ ;  $XTB = 3,363$ ;

транзистор типа *TNH*:

$CJE = 10,5 \cdot 10^{-12}$ ;  $MJE = 0,553$ ;  $VJE = 0,881$ ;  $CJC = 13,3 \cdot 10^{-12}$ ;  $MJC = 0,489$ ;  $VJC = 0,771$ ;  $FC = 0,9$ ;  $TF = 3,089 \cdot 10^{-10}$ ;  $TR = 1,611 \times 10^{-10}$ ;  $BF = 54,36$ ;  $BR = 12,63$ ;  $VAR = 28,26$ ;  $VAF = 2,27$ ;  $IS = 1,8 \times 10^{-14}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 2,97 \cdot 10^{-4}$ ;  $RB = 24,19$ ;  $RC = 2,9$ ;  $IKF = 66,09 \cdot 10^{-3}$ ;  $IKR = 127 \cdot 10^{-3}$ ;  $XTI = 1,694$ ;  $XTB = 3,363$ ;

транзистор типа *TPA*:

$CJE = 3,338 \cdot 10^{-13}$ ;  $MJE = 07,5025$ ;  $VJE = 0,775$ ;  $CJC = 9,314 \cdot 10^{-14}$ ;  $MJC = 0,3983$ ;  $VJC = 0,590$ ;  $FC = 0,9$ ;  $TF = 1,086 \cdot 10^{-9}$ ;  $TR = 4,149 \cdot 10^{-9}$ ;  $BF = 67,3$ ;  $BR = 1$ ;  $VAF = 21,58$ ;  $VAR = 14,98$ ;  $IS = 3,594 \cdot 10^{-15}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 8,343 \cdot 10^{-2}$ ;  $RC = 5,026 \cdot 10^{-2}$ ;  $IKF = 2,059 \cdot 10^{-3}$ ;  $IKR = 5,39 \cdot 10^{-4}$ ;  $XTI = 5,195$ ;  $XTB = 2,749$ ;

транзистор типа *TPB*:

$CJE = 2,003 \cdot 10^{-12}$ ;  $NJE = 0,5025$ ;  $VJE = 0,775$ ;  $CJC = 4,613 \cdot 10^{-12}$ ;  $MJC = 0,3983$ ;  $VJC = 0,590$ ;  $FC = 0,9$ ;  $TF = 1,086 \cdot 10^{-9}$ ;  $TR = 4,149 \times 10^{-9}$ ;  $BF = 67,3$ ;  $BR = 1$ ;  $VAF = 21,58$ ;  $VAR = 14,98$ ;  $IS = 2,157 \cdot 10^{-14}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 1,39 \cdot 10^{-2}$ ;  $RC = 83,77$ ;  $IKF = 1,02 \cdot 10^{-1}$ ;  $IKR = 3,234 \cdot 10^{-3}$ ;  $XTI = 5,195$ ;  $XTB = 2,749$ ;

транзистор типа *TPC*:

$CJE = 3,992 \cdot 10^{-12}$ ;  $MJE = 0,5025$ ;  $VJE = 0,775$ ;  $CJC = 7,285 \cdot 10^{-12}$ ;  $MJC = 0,3983$ ;  $VJC = 0,590$ ;  $FC = 0,9$ ;  $TF = 1,086 \cdot 10^{-9}$ ;  $TR = 4,149 \times 10^{-9}$ ;  $BF = 67,3$ ;  $BR = 1$ ;  $VAF = 21,58$ ;  $VAR = 14,98$ ;  $IS = 4,299 \cdot 10^{-14}$ ;  $NE = 1,5$ ;  $NC = 2$ ;  $NF = 1$ ;  $NR = 1$ ;  $RE = 6,975 \cdot 10^{-3}$ ;  $RC = 42,02$ ;  $IKF = 1,604 \cdot 10^{-1}$ ;  $IKR = 6,447 \cdot 10^{-3}$ ;  $XTI = 5,195$ ;  $XTB = 2,749$ .

Параметры схем замещения резисторов следующие:

резистор типа *RA*:

$R = 75 \text{ Ом}$ ;  $CJE = 1,268 \cdot 10^{-13}$ ;  $MJE = 0,482$ ;  $VJE = 0,755$ ;  $IS = 1,505 \cdot 10^{-16}$ ;  $RS = 4,07$ ;

резистор типа *RB*:

$R = 430 \text{ Ом}$ ;  $CJE = 1,33 \cdot 10^{-13}$ ;  $MJE = 0,474$ ;  $VJE = 0,765$ ;  $IS = 2,0 \times 10^{-16}$ ;  $RS = 15,04$ ;

резистор типа *RC*:

$R = 1,14 \text{ кОм}$ ;  $CJE = 1,13 \cdot 10^{-13}$ ;  $MJE = 0,474$ ;  $VJE = 0,765$ ;  $IS = 1,05 \cdot 10^{-16}$ ;  $RS = 10,26$ ;

резистор типа *RD*:

$R = 2,1 \text{ кОм}$ ;  $CJE = 1,2 \cdot 10^{-13}$ ;  $MJE = 0,474$ ;  $VJE = 0,765$ ;  $IS = 2,145 \times 10^{-16}$ ;  $RS = 0,42$ ;

резистор типа *RE*:

$$R = 4,16 \text{ кОм}; CJE = 1,43 \cdot 10^{-13}; MJE = 0,474; VJE = 0,765; IS = 2,67 \cdot 10^{-16}; RS = 7,88;$$

резистор типа *RF*:

$$R = 5,41 \text{ кОм}; CJE = 1,68 \cdot 10^{-13}; MJE = 0,474; VJE = 0,765; IS = 3,32 \cdot 10^{-16}; RS = 0,16;$$

резистор типа *CRI*:

$$R = 33; CJE = 1,801 \cdot 10^{-14}; MJE = 0,375; VJE = 0,574; IS = 3,06 \times 10^{-15}; RS = 2,21 \cdot 10^3.$$

Параметры схем замещения конденсаторов следующие:

конденсатор типа *CA*:

$$CJE = 2,116 \cdot 10^{-11}; MJE = 0,378; VJE = 0,864; IS = 5,406 \cdot 10^{-17};$$

конденсатор типа *CB*:

$$CJE = 1,261 \cdot 10^{-11}; MJE = 0,378; VJE = 0,064; IS = 3,27 \cdot 10^{-17};$$

конденсатор типа *CC*:

$$CJE = 1,074 \cdot 10^{-11}; MJE = 0,378; VJE = 0,864; IS = 2,701 \cdot 10^{-17}.$$

### 6.3. БИБЛИОТЕКА ФУНКЦИОНАЛЬНЫХ УЗЛОВ

Применение библиотечных фрагментов в процессе разработки полужаказной ИС на БМК позволяет существенно сократить время и упростить процедуру проектирования. Под библиотекой фрагментов аналоговых БМК понимается набор функциональных узлов в виде принципиальных электрических схем, имеющих реализацию на данном типе БМК, причем их топология должна помещаться внутри его топологических ячеек и обладать возможностями мультиплицирования. Кроме того, для элементов библиотечного фрагмента схемы приводятся параметры эквивалентной схемы замещения.

В качестве примера рассмотрим некоторые библиотечные фрагменты БМК КБ1451ХН2-4. На рис. 6.46 приведена принципиальная электрическая схема двухполупериодного детектора низкого уровня, а на рис. 6.47 — его топологическая реализация на ячейках типов 2 и 6. Детектор обеспечивает выделение огибающей из сигналов с частотой несущей до 5 МГц и амплитудой более 20 мВ и преобразует напряжения в ток. Входной сигнал через фазорасщепляющий контур поступает на два одинаковых однополупериодных детектора на транзисторах *VT1–VT4* и *VT6, VT7, VT9, VT10*. Транзисторы *VT5, VT8* и *VT11* задают ток рабочего режима. При отсутствии сигнала на входе токи транзисторов *VT1* и *VT9* равны нулю. При подаче положительного сигнала на базу одного из этих транзисторов через него начинает протекать ток  $I_{\text{вых}} = U_{\text{вх}}/R$ , где  $R = R3 = R4$ . Выходные токи транзисторов *VT1* и *VT9* суммируются на резисторе *R8*, с которого и снимается выходное напряжение.

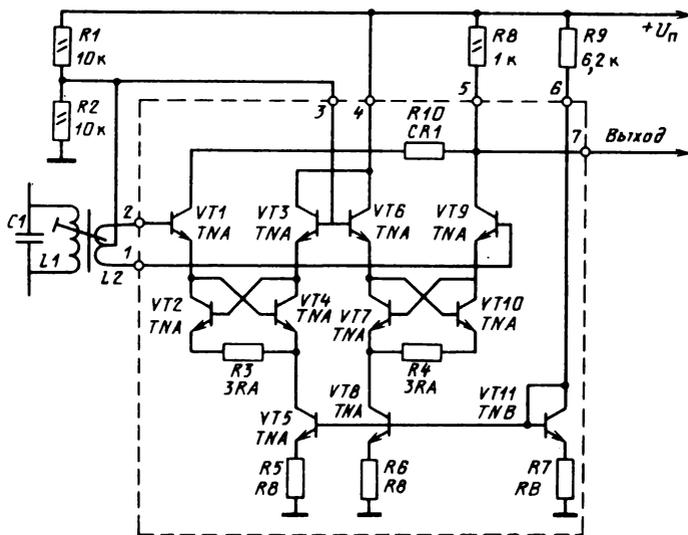


Рис. 6.46. Принципиальная электрическая схема библиотечного фрагмента двух-полупериодного детектора низкого уровня

Принципиальная электрическая схема фрагмента перемножителя сигналов показана на рис. 6.48, а его топологическая реализация на элементах ячеек типов 1 и 3 – на рис. 6.49. В этой схеме используется нелинейное преобразование сигнала. Левая часть схемы осуществляет преобразование напряжения  $U_X$ , подаваемого на вход  $X$  устройства, в промежуточное напряжение, снимаемое с транзисторов  $VT5$  и  $VT6$  в диодном включении. Нелинейность, внесенная во входной сигнал  $X$  в процессе преобразования напряжения  $U_X$ , является обратной функцией по отношению к нелинейности характеристики перехода база–эмиттер транзисторов  $VT7$ ,  $VT8$  и  $VT9$ ,  $VT10$ , соединенных попарно базовыми выводами. Правая часть схемы осуществляет преобразование напряжения  $U_Y$ , подаваемого на вход  $Y$ , в токи транзисторов  $VT7$ – $VT10$ . Таким образом, выходное напряжение  $U_Z$  оказывается пропорциональным произведению двух входных сигналов. Резисторы обратной связи  $R_X$  и  $R_Y$ , включенные в эмиттерные цепи транзисторов дифференциальных каскадов  $VT1$ ,  $VT2$  и  $VT3$ ,  $VT4$ , обеспечивают нелинейное преобразование входных напряжений в соответствующие токи:  $I_X = U_X/R_X$  и  $I_Y = U_Y/R_Y$ , при этом выходное напряжение определяется как  $U_Z = kU_XU_Y$ , где  $k = R_Y/(I_{VT15}R_XR_Y)$  – коэффициент пропорциональности;  $I_{VT15}$  – ток через транзистор  $VT15$  в

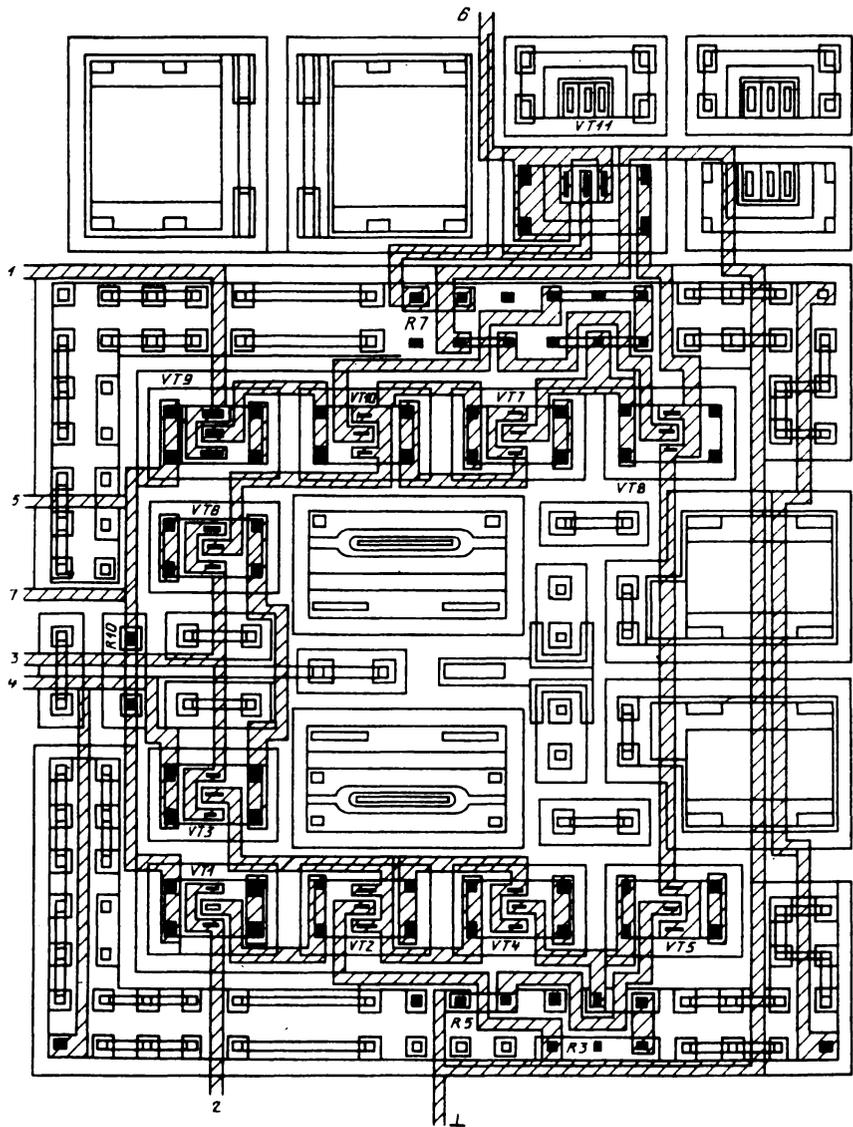


Рис. 6.47. Топология библиотечного фрагмента двухполупериодного детектора низкого уровня, выполненного на элементах ячеек типов 2 и 6 БМК типа КБ1451ХН2-4

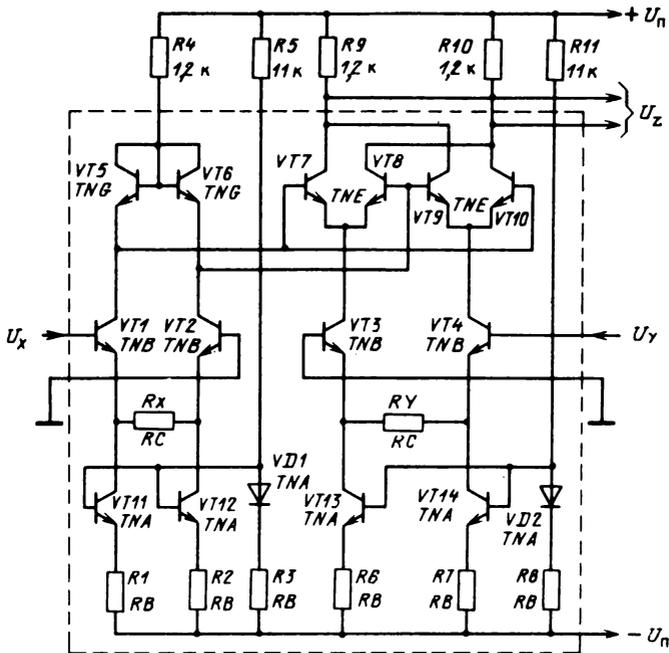


Рис. 6.48. Принципиальная электрическая схема библиотечного фрагмента перемножителя сигналов

диодном включении. Данный перемножитель на элементах БМК КБ1451ХН2-4 характеризуется спадом амплитудно-частотной характеристики 3 дБ на частоте около 10 МГц при подаче сигналов на входы  $X$  и  $Y$ .

Принципиальная электрическая схема библиотечного фрагмента видеоусилителя представлена на рис. 6.51, а его топологическая реализация на элементах ячеек типов 2 и 6 – на рис. 6.50. Первый каскад схемы – простой дифференциальный усилитель, его усиление по напряжению равно отношению сопротивлений резисторов  $R1$  и  $R3$  или  $R2$  и  $R4$ . Второй каскад схемы выполнен на транзисторах  $VT3$  и  $VT4$ , а выходной каскад (эмиттерный повторитель) – на транзисторах  $VT5$ ,  $VT6$ . Резисторы  $R11$  и  $R12$  обеспечивают обратную параллельную связь по току. Общее усиление усилителя при разомкнутых выводах установки равно 18 дБ, полоса пропускания по уровню 3 дБ равна 70 МГц, при замкнутых выводах установки усиления общее усиление усилителя равно 48 дБ.

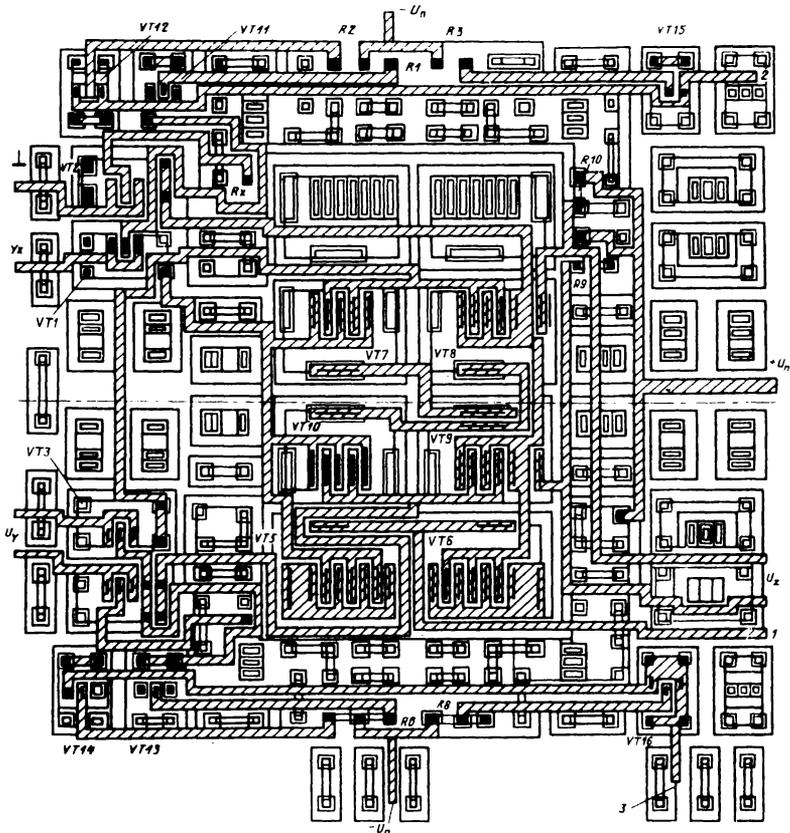
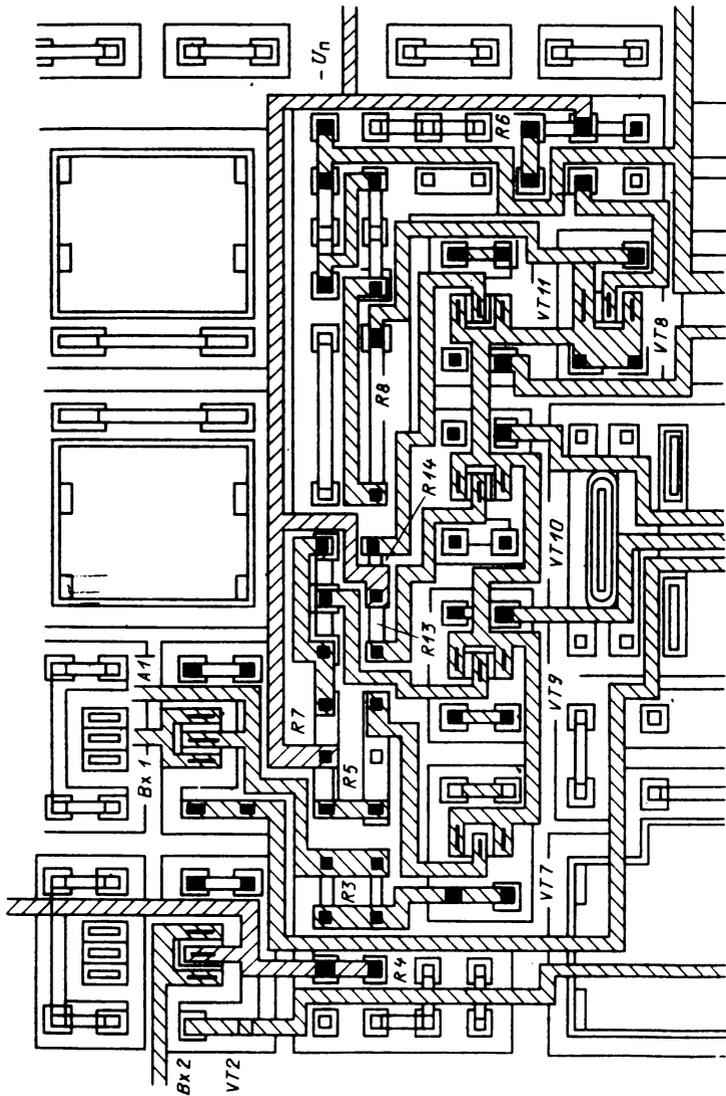


Рис. 6.49. Топология библиотечного фрагмента перемножителя сигналов, выполненного на элементах ячеек типов 1 и 3 БМК типа КБ1451ХН2-4



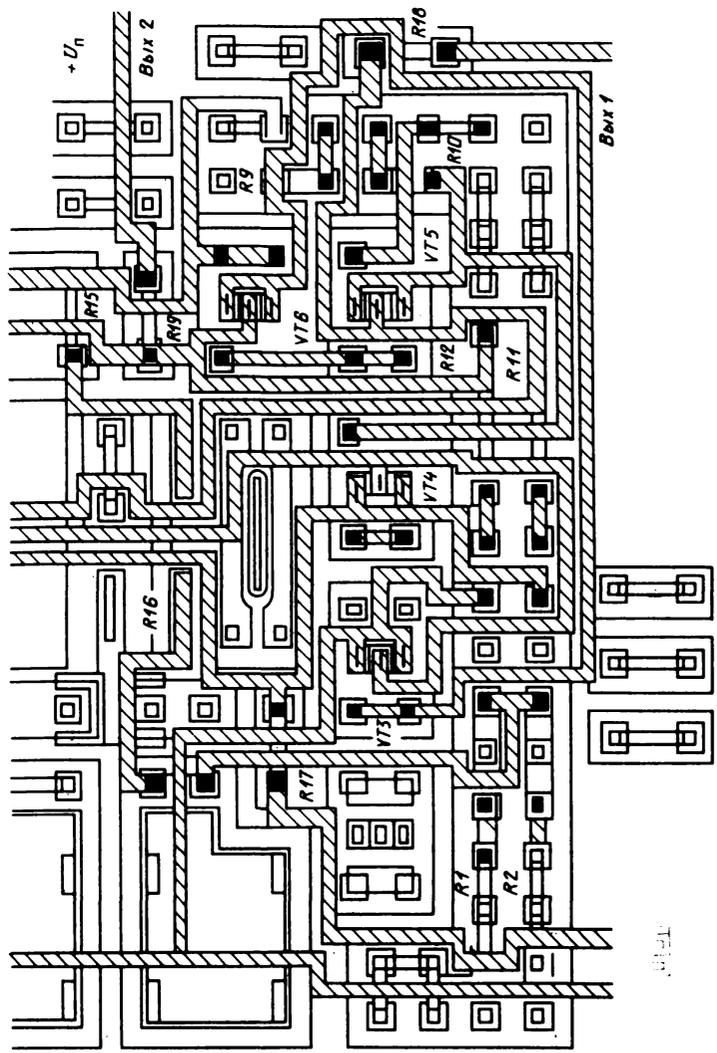


Рис. 6.50. Топология библиотечного фрагмента видеусилителя, реализованного на элементах ячеек типов 2 и 6 БМК типа КБ1451ХН2-4

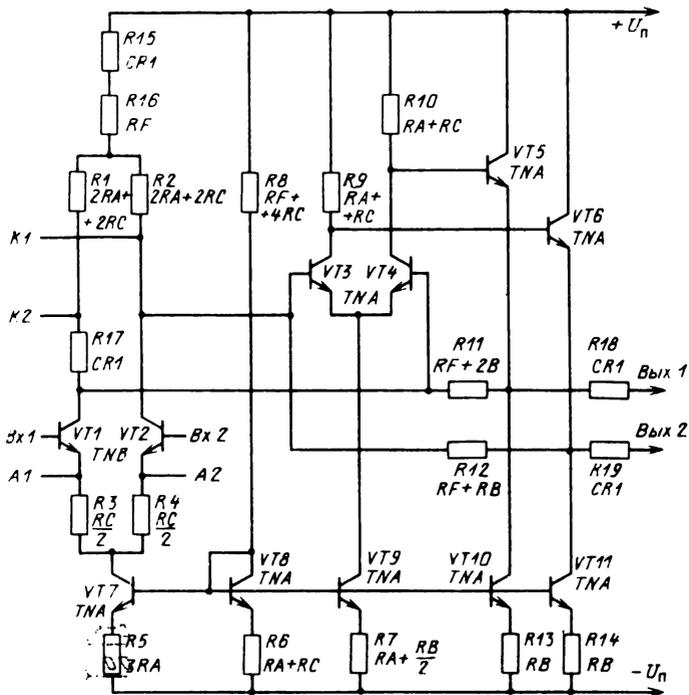


Рис. 6.51. Принципиальная электрическая схема библиотечного фрагмента видеоусилителя

## Глава 7

### ПРИМЕНЕНИЕ МАТРИЧНЫХ БИС В УНИФИЦИРОВАННЫХ УЗЛАХ РЭА

#### 7.1. ИНТЕРФЕЙСНЫЕ МАТРИЧНЫЕ БИС

##### 7.1.1. Адаптер магистралей СМ ЭВМ и микроЭВМ "Электроника-60" на К1801ВП1-054

Для создания систем различного назначения на основе микропроцессорных средств применяются унифицированные функциональные модули с необходимыми средствами их сопряжения и взаимодействия, эффективно реализованные с помощью полужаказных БИС [25, 26, 40–43].

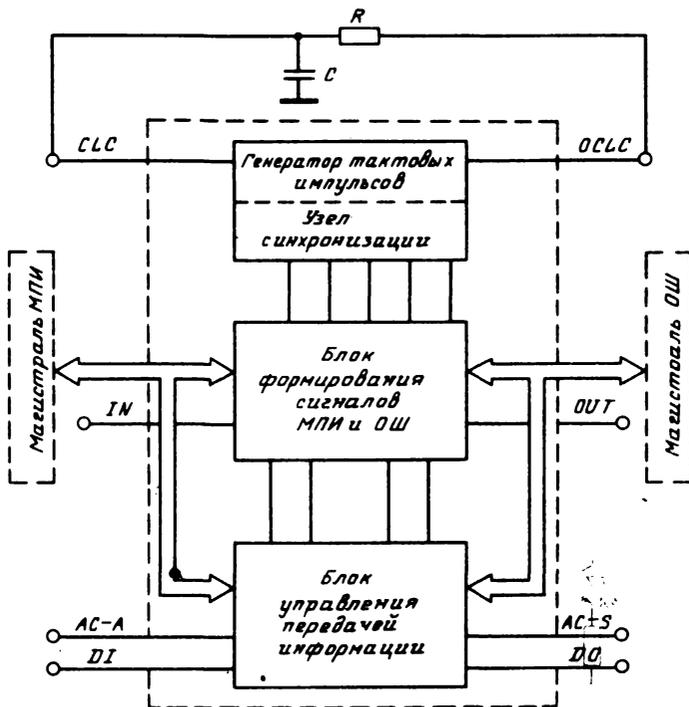


Рис. 7.1. Структурная схема БИСМ типа К1801ВР1-054

Например, сопряжение имеющих широкое применение магистрального параллельного интерфейса (МПИ) микроЭВМ "Электроника-60" и интерфейса "общая шина" (ОШ) СМ ЭВМ может быть осуществлено с помощью БИС адаптера магистралей К1801ВР1-054 [44].

Интегральная микросхема с большой степенью интеграции формирует временные последовательности сигналов интерфейсов МПИ и ОШ и обеспечивает следующие виды работы: адресный обмен, запись из магистралей МПИ, захват магистралей МПИ для обмена с ОШ, чтение в магистраль ОШ, запись из магистралей ОШ, передача вектора прерывания.

Структурная схема К1801ВР1-054 приведена на рис. 7.1 и включает в себя следующие блоки:

блок управления передачей информации (передачи адресов) между магистральями при выполнении операции обмена, при этом устройство, инициирующее передачу информации, может находиться на магистрали как МПИ, так и ОШ;

блок синхронизации;

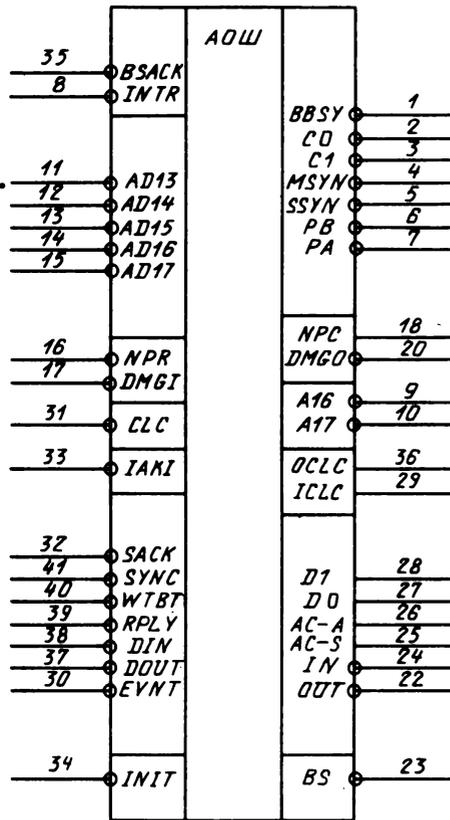


Рис. 7.2. Условное графическое обозначение БИСМ типа К1801ВР1-054

генератор тактовых импульсов.

Условное графическое обозначение БИСМ показано на рис. 7.2, а функциональное назначение сигналов приведено в табл. 7.1.

На основе БИСМ К1801ВР1-054 и с использованием буферного регистра адреса К1801ВР1-034, а также усилителей К531АП2П разработан адаптер магистралей МПИ-ОШ, который подробно описан в [44, 45].

Таблица 7.1. Назначение выводов К1801ВР1-054

Номер	Обозначение	Наименование	Характеристика вывода	Уровень активного напряжения
1	BBSY	Сигнал занятости магистрали ОШ	Вход-выход	Низкий
2, 3	C0, C1	Разряды кода операции обмена на магистрали ОШ	"	"
		C1 C0 Операция		
		0 0 Чтение слова		
		0 1 Чтение слова с паузой		
		1 0 Запись слова		
		1 1 Запись байта		

Продолжение табл. 7.1

Номер	Обозначение	Наименование	Характеристика вывода	Уровень активного напряжения
4	<i>MSYN</i>	Сигнал синхронизации задатчика на магистрали ОШ	"	"
5	<i>SSYN</i>	Сигнал синхронизации исполнителя на магистрали ОШ	"	"
6, 7	<i>PB, PA</i>	Разряды кода признака ошибки при передаче данных по магистрали ОШ	"	"
8	<i>INTR</i>	Сигнал разрешения прерывания	"	"
9, 10	<i>A16, A17</i>	Разряды адреса магистрали ОШ	Выход	"
11-15	<i>AD13-AD17</i>	Разряды адреса-данных магистрали МПИ, используемые для формирования сигнала ВУ	Вход	"
16	<i>NPR</i>	Запрос прямого доступа от устройств магистрали ОШ	"	"
17	<i>DMGI</i>	Разрешение захвата магистрали МПИ (приемник)	"	"
18	<i>NPG</i>	Разрешение прямого доступа магистрали ОШ	Выход	Высокий
20	<i>DMGO</i>	Разрешение захвата магистрали МПИ (источник)	"	Низкий
21*	<i>GND</i>	Общий	"	"
22	<i>OUT</i>	Управление приемопередатчиками интерфейсных сигналов магистрали ОШ	"	"
23	<i>BS</i>	Выбор внешних устройств на МПИ	"	"
24	<i>IN</i>	Управление приемопередатчиками интерфейсных сигналов магистрали МПИ	"	"
25	<i>AC-S</i>	Признак передачи адреса в магистраль ОШ	"	Высокий
26	<i>AC-A</i>	Признак приема адреса из магистрали ОШ	"	"
27	<i>D0</i>	Признак передачи данных в магистраль ОШ	"	"
28	<i>D1</i>	Признак приема данных из магистрали ОШ	"	"
29	<i>ICLC</i>	Пуск тактового генератора	"	"
30	<i>EVNT</i>	Ошибка при передаче данных по магистрали МПИ	Вход-выход	Низкий
31	<i>CLC</i>	Тактовая частота	Вход	"
32	<i>SACK</i>	Подтверждение запроса при захвате магистрали МПИ	Вход-выход	"
33	<i>IAKI</i>	Разрешение прерывания в магистраль ОШ	Вход	"

Номер	Обозначение	Наименование	Характеристика вывода	Уровень активного напряжения
34	<i>INIT</i>	Сброс магистрали МПИ	"	"
35	<i>BSACK</i>	Подтверждение выборки при захвате магистрали ОШ	"	"
36	<i>OCLC</i>	Тактовая частота	Выход	"
37	<i>DOUT</i>	Запись данных на магистрали МПИ	Вход-выход	"
38	<i>DIN</i>	Чтение данных на магистрали МПИ	"	"
39	<i>PRLI</i>	Ответ устройств магистрали МПИ	"	"
40	<i>WTBT</i>	Признак записи на магистрали МПИ	"	"
41	<i>SYNK</i>	Признак обмена на магистрали МПИ	"	"
42*	<i>UCC</i>	Напряжение источника питания	—	—

\* Указанные выводы здесь и далее на рисунках не показаны.

### 7.1.2. Устройство интерфейса байтового параллельного ввода-вывода (ИРПР) на К1801ВП1-033, К1801ВП1-034

Взаимодействие удаленных друг от друга устройств может быть осуществлено с помощью стандартизированных интерфейсов:

ИРПР — для радиального подключения устройств и с параллельной (байтовой) передачей данных;

ИРПС — для радиального подключения устройств и последовательной передачей данных.

Для преобразования информации в байтовую параллельную, т. е. для перехода от магистрали микроЭВМ "Электроника-60" к ИРПР, требуются микросхемы К1801ВП1-033 и К1801ВП1-034, обеспечивающие работу интерфейса байтового ввода-вывода. Структурная схема такого устройства приведена на рис. 7.3. При реализации устройства выводы БИС, соединяющиеся с периферийным устройством, необходимо развязывать буферными элементами.

Устройство преобразования интерфейса осуществляет прием и передачу информации с помощью регистров состояния источника (РСИ) и приемника (РСП), регистров источника (РИ) и приемника (РП). Микросхема К1801ВП1-033 содержит РСИ и РСП, компаратор адресов, блок прерывания и блок управления регистрами РИ, РП, а микросхема К1301ВП1-034 — регистры РИ и РП.

Структурная схема БИС К1801ВП1-033 в режиме контроллера байтового параллельного интерфейса приведена на рис. 7.4, а обозначение и наименование выводов дано в табл. 7.2 [25, 46].

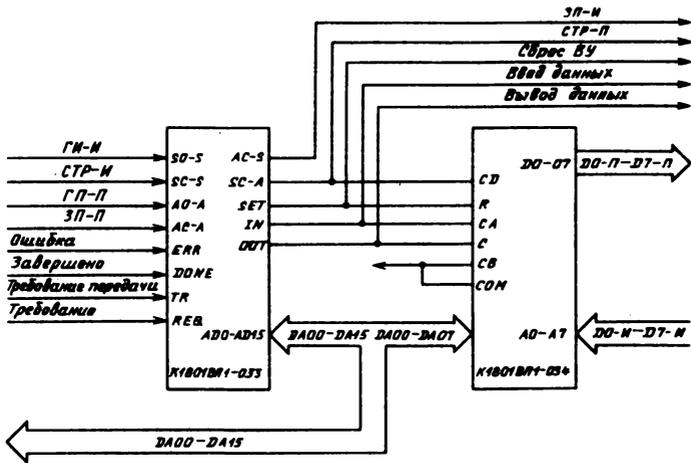


Рис. 7.3. Структура устройства, реализующего МРП1

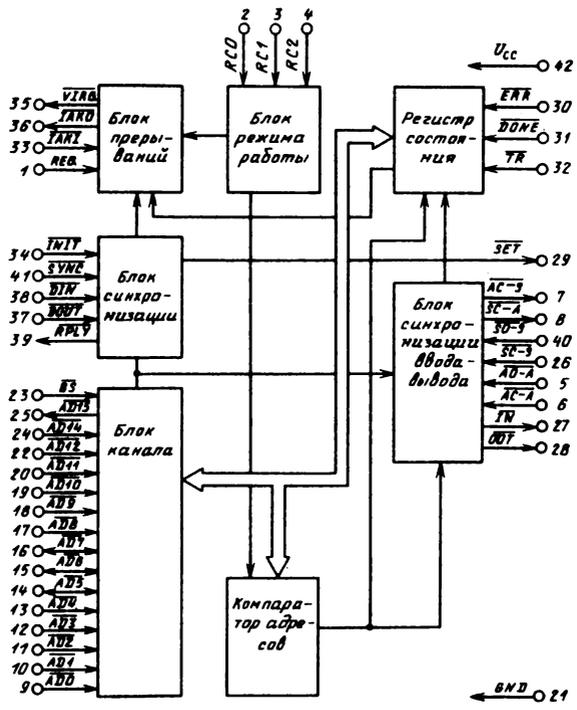


Рис. 7.4. Структура контроллера байтового параллельного интерфейса БИСМ типа К1801ВМ1-033

Т а б л и ц а 7.2. Назначение выводов К1801ВП1-033  
в режиме контроллера байтового параллельного интерфейса

Номер	Обозначение	Наименование
1	$\overline{REQ}$	Вход "Требование"
2	$\overline{RC0}$	Вход "Выбор режима 0"
3	$\overline{RC1}$	Вход "Выбор режима 1"
4	$\overline{RC2}$	Вход "Выбор режима 2"
5	$\overline{AO-A}$	Вход "Готовность приемника"
6	$\overline{AC-A}$	Вход "Запрос приемника"
7	$\overline{AC-B}$	Выход "Запрос источника"
8	$\overline{BC-A}$	Выход "Строб приемника"
9	$\overline{AD0}$	Вход-выход канала $AD0$
10–20	$\overline{AD1-AD11}$	Вход канала $AD1-AD11$
21	$\overline{GND}$	Общий
22	$\overline{AD12}$	Вход канала $AD12$
23	$\overline{BS}$	Вход канала "Внешнее устройство"
24	$\overline{AD14}$	Вход канала $AD14$
25	$\overline{AD15}$	Вход канала $AD15$
26	$\overline{SC-8}$	Вход "Строб источника"
27	$\overline{IN}$	Выход "Ввод данных"
28	$\overline{OUT}$	Выход "Вывод данных"
29	$\overline{SET}$	Выход "Начальная установка"
30	$\overline{ERR}$	Вход "Ошибка"
31	$\overline{DONE}$	Вход "Завершено"
32	$\overline{TR}$	Вход "Требование передачи"
33	$\overline{IAKI}$	Вход канала "Разрешаю прерывание"
34	$\overline{INIT}$	Вход канала "Сброс"
35	$\overline{VIRQ}$	Вход канала "Запрос прерывания"
36	$\overline{LAKO}$	Вход канала "Разрешение прерывания"
37	$\overline{DOUT}$	Вход канала "Вывод данных"
38	$\overline{DIN}$	Вход канала "Ввод данных"
39	$\overline{RPLY}$	Выход канала "Ответ"
40	$\overline{SO-8}$	Вход "Готовность источника"
41	$\overline{SYNC}$	Вход канала "Обмен"
42	$U_{CC}$	Напряжение источника питания

Т а б л и ц а 7.3. Адреса регистров и векторов прерываний при различных комбинациях напряжений на выводах  $RC0-RC2$

Номер вывода	Обозначение вывода	Уровень сигнала	Адрес РСИ	Адрес РП	Адрес РСР	Адрес РИ	Адрес вектора прерывания
2	$RC0$	Низкий					
3	$RC1$	"	-	-	177 514	177 516	200
4	$RC2$	"					
2	$RC0$	Высокий					И 60
3	$RC1$	Низкий	177 560	177 562	177 564	177 566	П 64
4	$RC2$	"					
2	$RC0$	Низкий					И 70
3	$RC1$	Высокий	177 550	177 552	177 554	177 556	П 74
4	$RC2$	Низкий					
2	$RC0$	Высокий					И 170
3	$RC1$	"	177 270	177 272	177 274	177 276	П 174
4	$RC2$	Низкий					
2	$RC0$	Низкий					И ХХ0
3	$RC1$	"	XXXXX0	XXXXX2	XXXXX4	XXXXX6	П ХХ4
4	$RC2$	Высокий					

Установка микросхемы К1801ВП1-033 в режим контроллера байтового параллельного интерфейса производится подачей определенных уровней напряжения на выводы  $RC0$ ,  $RC1$ ,  $RC2$  путем задания комбинации напряжений на выводах  $RC0-RC2$ , помимо выбора режима работы микросхемы осуществляют переадресацию регистров и векторов прерывания. Адреса регистров и векторов прерываний, соответствующие определенным комбинациям напряжений на выводах  $RC0-RC2$ , приведены в табл. 7.3.

Микросхема К1801ВП1-034 в устройстве интерфейса байтового параллельного ввода-вывода используется в режиме передачи информации. Структурная схема БИС в режиме устройства передачи информации приведена на рис. 7.5, обозначение и наименование выводов даны в табл. 7.4 [25, 47].

Установка микросхемы К1801ВП1-034 в режим устройства передачи информации производится подачей на вывод  $RC0$  напряжения высокого уровня, а на вывод  $RC1$  напряжения низкого уровня, т. е.  $RC0 = 1$ ,  $RC1 = 0$ . С помощью управляющих сигналов  $\overline{CA}$  и  $\overline{CB}$  входная информация с выводов  $A0-A7$  и  $B0-B7$  передается на двунаправленные выходы  $C0-C7$  с учетом сигнала  $COM$ . Сигналом  $C$  информация с выводов  $C0-C7$  записывается в буферный регистр, откуда с помощью сигнала  $\overline{CD}$  выдается на выходы  $D0-D7$  с учетом сигнала  $COM$ . Сигнал  $\overline{R}$  обнуляет буферный регистр.

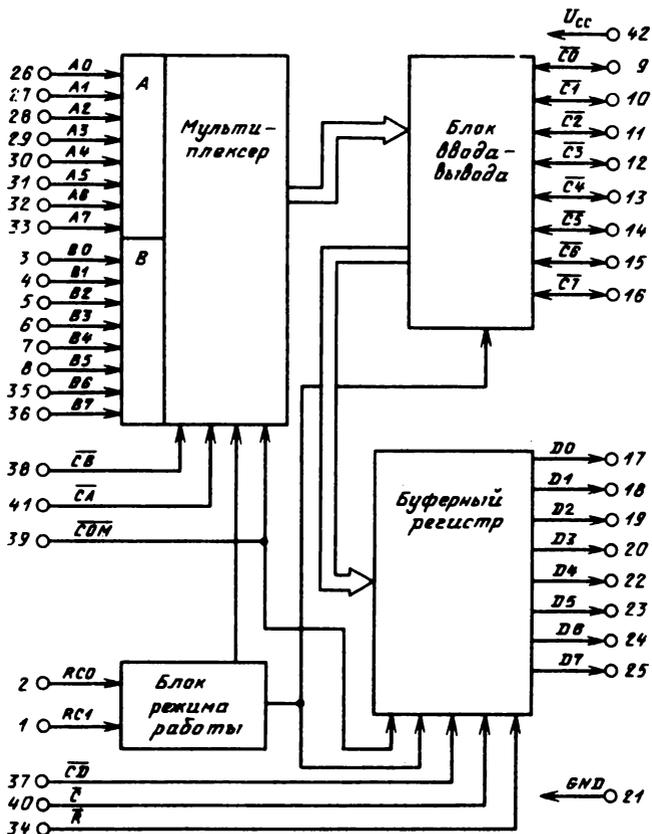


Рис. 7.5. Структура устройства передачи информации БИСМ типа К1801ВР1-034

Таблица 7.4. Назначение выводов К1801ВР1-034 в режиме устройства передачи информации

Номер	Обозначение	Наименование
1	RC1	Вход выбора режима 1
2	RC0	Вход выбора режима 0
3	B0	Вход данных B0
4-8	B1-B5	Вход данных B1-B5
9-16	C0-C7	Вход-выход данных канала AD0-AD7
17-20	D0-D3	Выход данных D0-D3
21	GND	Общий
22-25	D4-D7	Выход данных D4

Продолжение табл. 7.4

Номер	Обозначение	Наименование
26-33	A0-A7	Вход данных A0-A7
34	$\bar{R}$	Вход сбора данных
35, 36	B6, B7	Вход данных B6, B7
37	$\overline{CD}$	Вход разрешения выдачи данных D
38	$\overline{CB}$	Вход разрешения выдачи данных B
39	$\overline{COM}$	Вход инвертирования данных
40	$\bar{C}$	Вход записи данных
41	$\overline{CA}$	Вход разрешения выдачи данных A
42	U <sub>CC</sub>	Напряжение источника питания

На рис. 7.6 приведены условные графические обозначения КП1801ВП1-033 (а) и -034 (б). Более подробно работа БИСМ изложена в [25].

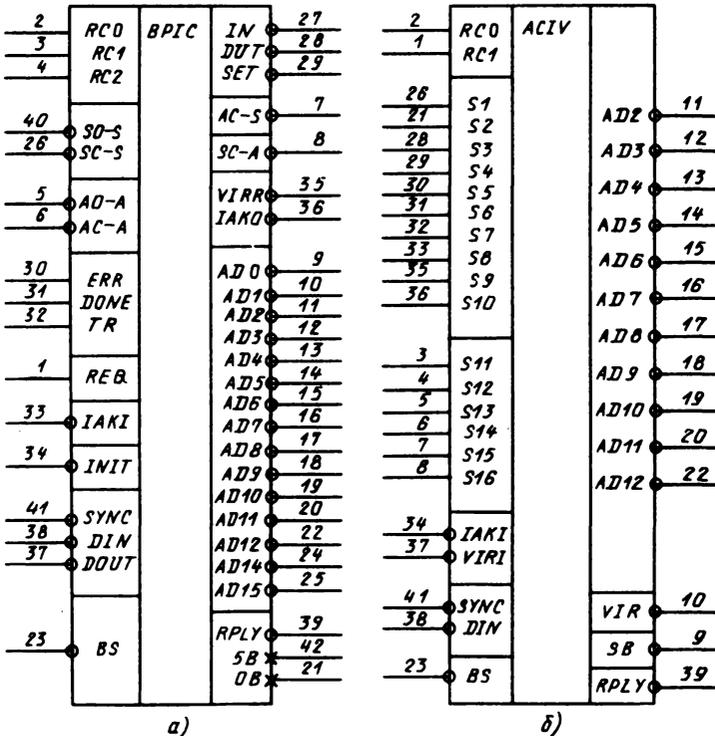


Рис. 7.6. Условные графические обозначения БИСМ типа К1801ВП1-033 (а) и К1801ВП1-034 (б)

### 7.1.3. Устройство интерфейса с последовательной передачей данных (ИРПС) на К1801ВП1-035

Рассмотрим вопрос реализации ИРПС. В составе ЭВМ для связи процессора с удаленным устройством, в частности с пультовым терминалом, используется последовательная передача данных. Для преобразования параллельной информации в последовательную и наоборот при подключении к микроЭВМ "Электроника-60" периферийных устройств через ИРПС предназначена микросхема К1801ВП1-035.

Структурная схема БИС К1801ВП1-035 приведена на рис. 7.7, обозначение и наименование выводов даны в табл. 7.5. Начальная установка микросхемы производится подачей сигналов низкого уровня на входы *INT* и *DCLO*.

Микросхема К1801ВП1-035 содержит четыре регистра и два источника адресов векторов прерывания. Адреса регистров и векторов объединены в четыре группы, которые указаны в табл. 7.6. Выбор групп адресов регистров и источников адресов векторов прерываний производится заданием комбинаций уровней на входах *ACL0* и *ACL1* соответственно: для группы 1 – 0 и 0, для группы 2 – 1 и 0, для группы 3 – 0 и 2, для группы 4 – 1 и 1.

Выбор форматов посылок по последовательному каналу производится заданием комбинаций уровней на входах *NB0* и *NB1* соответственно: для 8 бит – 1 и 1, для 7 бит – 0 и 1, для 5 бит – 0 (либо 1) и 0.

Скорость обмена по последовательному каналу изменяется дискретно от 50 до 19200 бод (бит/с) при тактовой частоте микросхемы 4608 кГц. Выбор скорости обмена производится заданием комбинаций уровней на входах *FR0–FR3* (их возможное сочетание приведено в табл. 7.7).

Следует отметить, что микросхема имеет выводы *HALT*, *VIRQ* и *RPLY* с открытым стоком, имеющим  $U_{OL}$  низкого уровня. Для обеспечения на данных выходах высокого уровня необходимо между выходом и шиной источника питания  $U_{CC}$  (+5 В) включить резистор с номинальным значением, рассчитанным исходя из значения выходного тока логического 0  $I_{OL}$  (не более 3,2 мА).

Для работы БИС К1801ВП1-035 со специальными линиями типа линий с токовыми петлями, телеграфным интерфейсом и т. п. необходимы специальные схемы сопряжения.

На рис. 7.8 приведены условные графические обозначения К1801ВП1-035. Более подробно описание БИСМ изложено в [25].

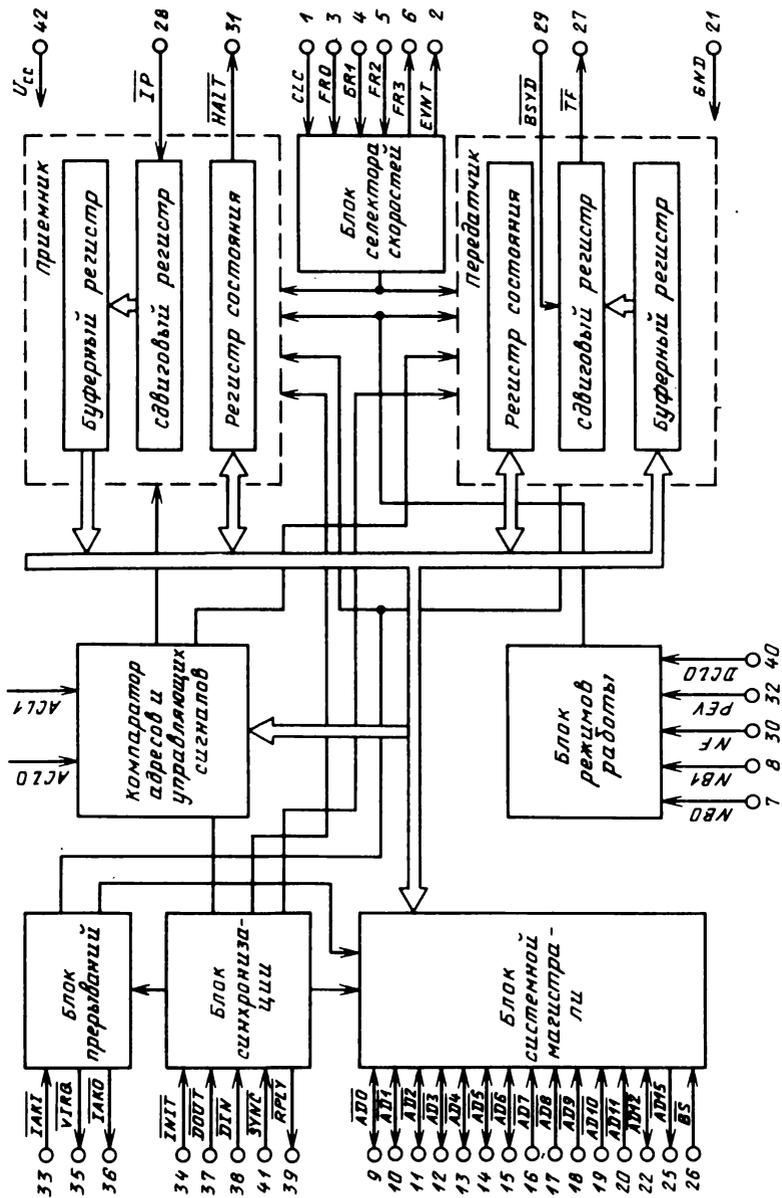


Рис. 7.7. Структурная схема БИСМ типа К1801ВП1-035

Таблица 7.5. Назначение выводов K1701ВП1-036

Номер	Обозначение	Наименование
1	<i>CLC</i>	Вход тактовой частоты
2	<i>EVNT</i>	Выход прерываний по таймеру
3-6	<i>FR0-FR3</i>	Вход выбора скорости обмена
7, 8	<i>NB0, NB1</i>	Вход выбора формата
9	<i>AD0</i>	Вход-выход 0-го разряда адреса-данных системной магистрали
10	<i>AD1</i>	То же 1-го разряда
11	<i>AD2</i>	То же 2-го разряда
12	<i>AD3</i>	То же 3-го разряда
13	<i>AD4</i>	То же 4-го разряда
14	<i>AD5</i>	То же 5-го разряда
15	<i>AD6</i>	То же 6-го разряда
16	<i>AD7</i>	То же 7-го разряда
17	<i>AD8</i>	Вход 8-го разряда адреса-данных системной магистрали
18	<i>AD9</i>	То же 9-го разряда
19	<i>AD10</i>	То же 10-го разряда
20	<i>AD11</i>	То же 11-го разряда
21	<i>GND</i>	Общий
22	<i>AD12</i>	Вход-выход 12-го разряда адреса-данных системной магистрали
23, 24	<i>ACL0, ACL1</i>	Вход выбора адреса
25	<i>AD15</i>	Вход 15-го разряда адреса-данных системной магистрали
26	<i>BS</i>	Вход сигнала выбора внешнего устройства системной магистрали
27	<i>TF</i>	Выход сигнала передатчика
28	<i>IP</i>	Вход сигнала приемника
29	<i>BSYD</i>	Вход сигнала занятости последовательного канала
30	<i>NF</i>	Вход установки паритета
31	<i>HALT</i>	Выход сигнала останова системной магистрали
32	<i>PEV</i>	Вход установки четности или нечетности
33	<i>IAKI</i>	Вход сигнала разрешения прерывания системной магистрали
34	<i>INIT</i>	Вход сигнала установки системной магистрали
35	<i>VIRQ</i>	Выход сигнала запроса на векторное прерывание системной магистрали
36	<i>IAKO</i>	Выход сигнала разрешения прерывания системной магистрали
37	<i>DOUT</i>	Вход сигнала управления выводом данных системной магистрали
38	<i>DIN</i>	Вход сигнала управления вводом данных системной магистрали
39	<i>RPLY</i>	Вывод сигнала ответа приемника информации системной магистрали

Продолжение табл. 7.5

Номер	Обозначение	Наименование
40	$\overline{DCLO}$	Вход сигнала "Авария источника питания"
41	$\overline{SYNC}$	Вход сигнала синхронизации обмена системной магистральной
42	$U_{CC}$	Напряжение источника питания

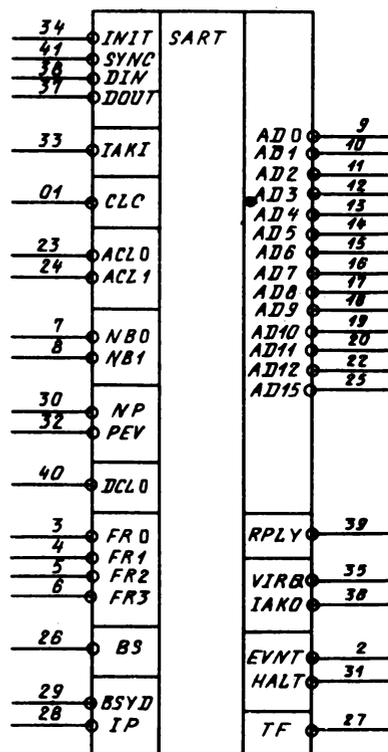
Таблица 7.6. Адреса регистров и векторов прерывания по четырем группам

Название	Адрес			
	группы 1	группы 2	группы 3	группы 4
Регистр состояния приемника	177 560	176 560	176 570	XXXXXX0
Буферный регистр приемника	177 562	176 562	176 572	XXXXXX2
Регистр состояния передатчика	177 564	176 564	176 574	XXXXXX4
Буферный регистр передатчика	177 566	176 566	176 576	XXXXXX6
Адрес вектора прерывания приемника	060	360	370	XX0
Адрес вектора прерывания передатчика	064	364	374	XX4

Таблица 7.7. Установление скорости обмена по последовательному каналу в зависимости от комбинации уровней на входах FR0-FR3

Скорость обмена, бод	FR3	FR2	FR1	FR0
50	0	0	0	0
75	0	0	0	0
100	0	0	1	0
150	0	0	1	1
200	0	1	0	0
300	0	1	0	1
600	0	1	1	0
1200	0	1	1	1
2400	1	0	0	0
4800	1	0	0	1
9600	1	0	1	0
19 200	1	0	1	1
57 600	1	1	0	0

Рис. 7.8. Условное графическое обозначение БИСМ типа К1801ВП1-035



## 7.2. МАТРИЧНЫЕ БИС ДЛЯ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

### 7.2.1. Интерфейс НГМД на К1801ВП1-033

Применение матричных БИС для управления запоминающими устройствами позволяет значительно уменьшить габаритные размеры и массу интерфейсных устройств. Одними из первых для этой цели были разработаны буферный регистр на К1801ВП1-034 и устройство управления ОЗУ динамического типа на К1801ВП1-030 [25].

Рассмотрим возможность использования матричных БИС для обеспечения работы различных внешних запоминающих устройств.

Интерфейс накопителя на гибких магнитных дисках может быть реализован на К1801ВП1-033 при подаче на выходы *RC0–RC3* высокого уровня напряжения.

Интегральная микросхема с большой степенью интеграции осуществляет передачу информации между процессором и контроллером накопителя на НГМД с помощью двух регистров: регистра команд и состояния (РК) и регистра данных (РД). Эти регистры считываются и загружаются программно.

В 16-разрядном формате регистры команд и состояния несут следующую информацию:

0-й разряд (*G0*) – инициирует прием контроллером НГМД команды (только для записи);

1-й – 3-й разряды (*F1–F3*) – команда (только для записи);

4-й разряд (*US*) – выбор одного из двух дисководов для выполнения требуемой команды (только для записи);

5-й разряд (*DONE*) – выполнение команды завершено (только для чтения);

6-й разряд (*IE*) – устанавливается программно для осуществления прерывания по завершении выполнения команды, сбрасывается канальным сигналом *INIT* (для чтения и записи);

7-й разряд (*TR*) – требование записи/считывания данных через регистр *РД* (только для чтения);

14-й разряд (*INIT*) – устанавливается программно для проведения НГМД в исходное состояние;

15-й разряд (*ERROR*) – устанавливается, если в процессе выполнения команды произошла ошибка (только для чтения).

В 16-разрядном формате регистра данных используются 8 младших разрядов для ввода-вывода данных.

Наименование выводов К1801ВП1-03 приведено в табл. 7.8, а условное графическое обозначение – на рис. 7.9.

Список команд интерфейса НГМД представлен в табл. 7.9. С помощью выводов *RC4* и *RC6* можно переадресовать регистры БИСМ. Адреса регистров и векторов прерываний, соответствующие комбинациям уровней напряжений на выводах *RC4* и *RC5*, представлены в табл. 7.10.

Т а б л и ц а 7.8. Назначение выводов К1801ВП1-033  
в режиме интерфейса НГМД

Номер	Обозначение	Наименование
1	$RC3$	Вход "Выбор режима 3"
2	$RC0$	Вход "Выбор режима 0"
3	$RC1$	Вход "Выбор режима 1"
4	$RC2$	Вход "Выбор режима 2"
5	$RC4$	Вход "Выбор режима 4"
6	$RC5$	Вход "Выбор режима 5"
7	$\overline{SHET}$	Вход "Сдвиг данных"
8	$\overline{OUT}$	Вход "Вывод данных"
9-20	$AD0-\overline{AD11}$	Вход-выход каналов $A0-A11$
21	$\overline{GND}$	Общий
22	$\overline{AD12}$	Вход канала $A12$
23	$\overline{BS}$	Вход канала "Внешнее устройство"
24, 25	$\overline{AD14}, \overline{AD15}$	Вход каналов $A14, A15$
26	$\overline{DI}$	Вход "Данные"
27	$\overline{DO}$	Выход "Данные"
28	$\overline{RUN}$	Выход "Пуск"
29	$\overline{SET}$	Выход "Начальная установка"
30	$\overline{ERR}$	Вход "Ошибка"
31	$\overline{DONE}$	Вход "Завершено"
32	$\overline{TR}$	Вход "Требование передачи"
33	$\overline{IAKI}$	Вход канала "Разрешение прерывания"
34	$\overline{INIT}$	Вход канала "Сброс"
35	$\overline{VIRQ}$	Выход канала "Запрос прерывания"
36	$\overline{IAKO}$	Выход канала "Разрешение прерывания"
37	$\overline{DOUT}$	Вход канала "Вывод данных"
38	$\overline{DIN}$	Вход канала "Ввод данных"
39	$\overline{RPLY}$	Выход канала "Ответ"
40	$\overline{WTBT}$	Вход канала "Запись-байт"
41	$\overline{SYNC}$	Вход канала "Обмен"
42	$U_{CC}$	Напряжение источника питания

Структурная схема интерфейса НГМД приведена на рис. 7.10. Порядок работы БИСМ следующий.

При низком уровне сигнала  $\overline{DONE}$  запись в РК команды с 1 в левом разряде вызывает установку сигнала  $\overline{RUN}$ , который инициирует НГМД на прием команды. Контроллер НГМД снимает сигнал  $\overline{DONE}$  и выставляет на линию  $\overline{SHET}$  серию из восьми импульсов. После снятия сигнала  $\overline{DONE}$  снимается сигнал  $\overline{RUN}$ , а серия импульсов синхрони-

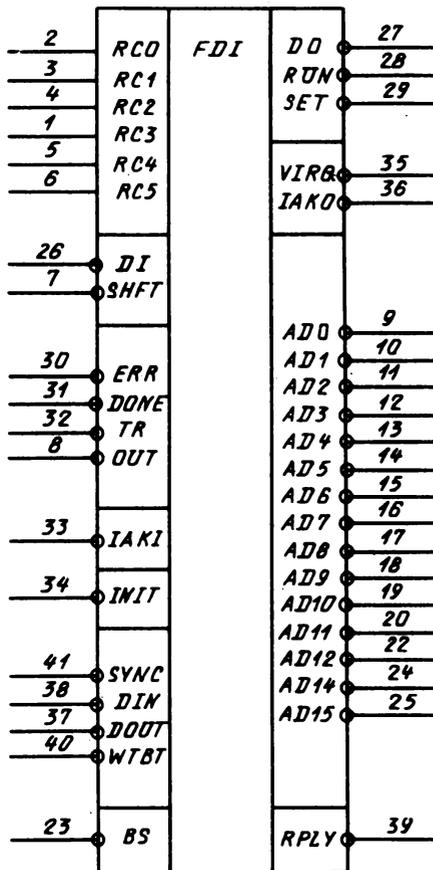


Рис. 7.9. Условное графическое обозначение БИСМ типа К1801ВР1-033 в режиме интерфейса НГМД

Таблица 7.9. Список команд интерфейса НГМД

Код			Функция
F3	F2	F1	
0	0	0	Запись в буфер
0	0	1	Чтение буфера
0	1	0	Запись сектора
0	1	1	Чтение сектора
1	0	0	Не используется
1	0	1	Чтение регистра РОС
1	1	0	Запись сектора с меткой
1	1	1	Чтение регистра РОИ

Таблица 7.10. Адреса регистров и векторов прерывания интерфейса НГМД

Номер вывода	Обозначение вывода	Уровень сигнала	Адрес РК	Адрес РД	Адрес вектора прерывания
5	RC4	Низкий			
6	RC5	"	177 170	177 172	264
5	RC4	Высокий			
6	RC5	Низкий	177 174	177 176	270
5	RC4	"			
6	RC5	Высокий	177 200	177 202	274
5	RC4	"			
6	RC5		XXXXX0	XXXXX2	XXX

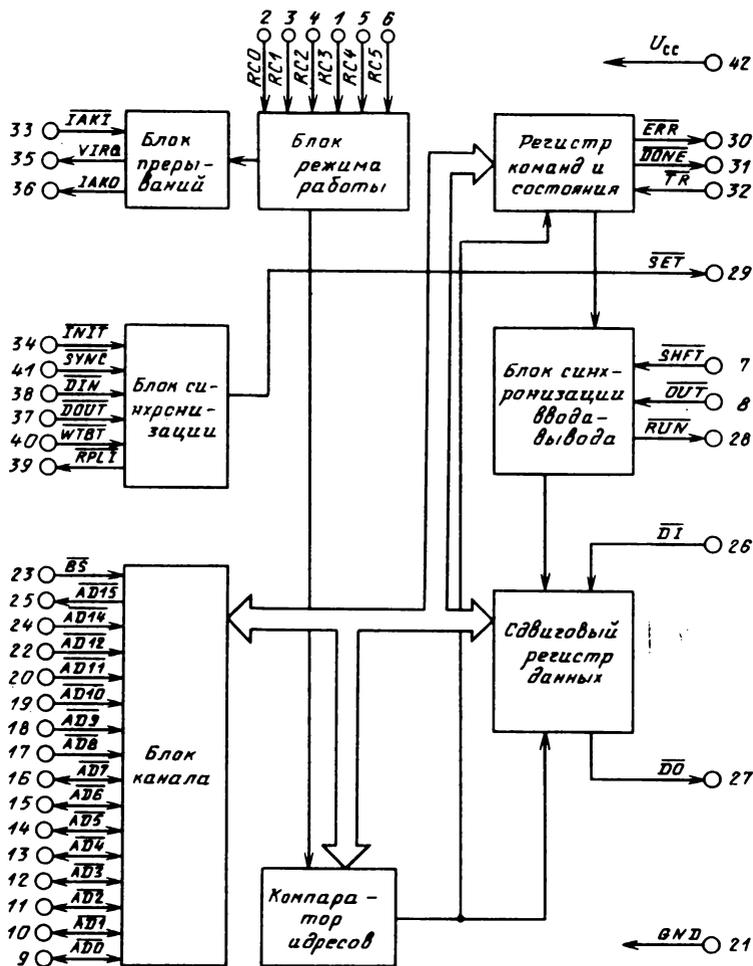


Рис. 7.10. Структурная схема БИСМ типа К1801ВР1-033 в режиме интерфейса НГМД

зирует выдачу команды в последовательном коде на вывод  $\overline{DO}$ . В зависимости от принятого кода команды контроллер НГМД устанавливает сигналы  $\overline{OUT}$  и  $\overline{TR}$ .

При установленном сигнале  $\overline{TR}$  в зависимости от состояния сигнала  $\overline{OUT}$  обращение к РД вызывает установку сигнала  $\overline{RUN}$ , который снимается после снятия сигнала  $\overline{TR}$ , и серию импульсов на выводе  $\overline{SHFT}$  (восемь для синхронизации адреса сектора и дорожки, семь для син-

хронизации данных). По окончании выполнения команды устанавливается сигнал *DONE*, который используется для работы по прерыванию. Запрос прерывания *VIRO* возникает при появлении сигнала *DONE* и при наличии в ПК разрешения прерывания *IE*.

Выполнение процедуры прерывания стандартное. Временные диаграммы работы интерфейса приведены в [25].

### **7.2.2. Программируемый контроллер НГМД на К1801ВП1-095, К1801ВП1-096, К1801ВП1-128**

На микросхемах К1801ВП1-095, К1801ВП1-096, К1801ВП1-128 реализована интерфейсная часть программируемого контроллера НГМД [46], причем микросхемы К1801ВП1-095 и К1801ВП1-096 реализуют интерфейс контроллера с системой, а микросхема К1801ВП1-128 выполняет функции интерфейса накопителя.

Микросхема К1801ВП1-095 представляет собой регистровую часть контроллера и предназначена для временного хранения младшего и старшего байтов команд и данных и передачи их в ту или другую сторону. Микросхема включает в себя следующие функциональные элементы (рис. 7.11): блок управления, блок регистров, коммутатор магистралей, блок формирования адреса вектора прерываний, блок формирования сигналов адреса центрального (*СМРС*) и периферийного (*СМРР*) процессоров, блок формирования сигналов требований прерывания (*PQ*) и выхода в ЦП (*WD*), блок формирования сигнала признака внешнего устройства (*BSO*).

Взаимодействие контроллера с центральной ЭВМ осуществляется с помощью блока регистров, который содержит три регистра: адреса, данных и состояния.

С помощью блока регистров осуществляется взаимодействие центральной ЭВМ с контроллером. Разрядность регистров равна 16, однако со стороны системы обеспечивается расширение адреса до 22 разрядов. Регистры данных и команд программно доступны по записи и чтению со стороны системной и внутренней магистрали контроллера.

В формат регистра разряды несут следующую информацию:

0-й разряд 0 (*GO*) – инициирует выполнение команды. Со стороны системы доступен только по записи;

1-й – 4-й разряды устанавливают код команды, которую должен выполнить контроллер, например "форматирование дорожки" (код 0110), "чтение" (код 0000), "запись" (код 0001) и др. Разряды доступны только по записи со стороны системы;

5-й разряд (*DONE*) сигнализирует о том, что контроллер завершил выполнение текущей команды и готов к выполнению новой. Доступен только по чтению;

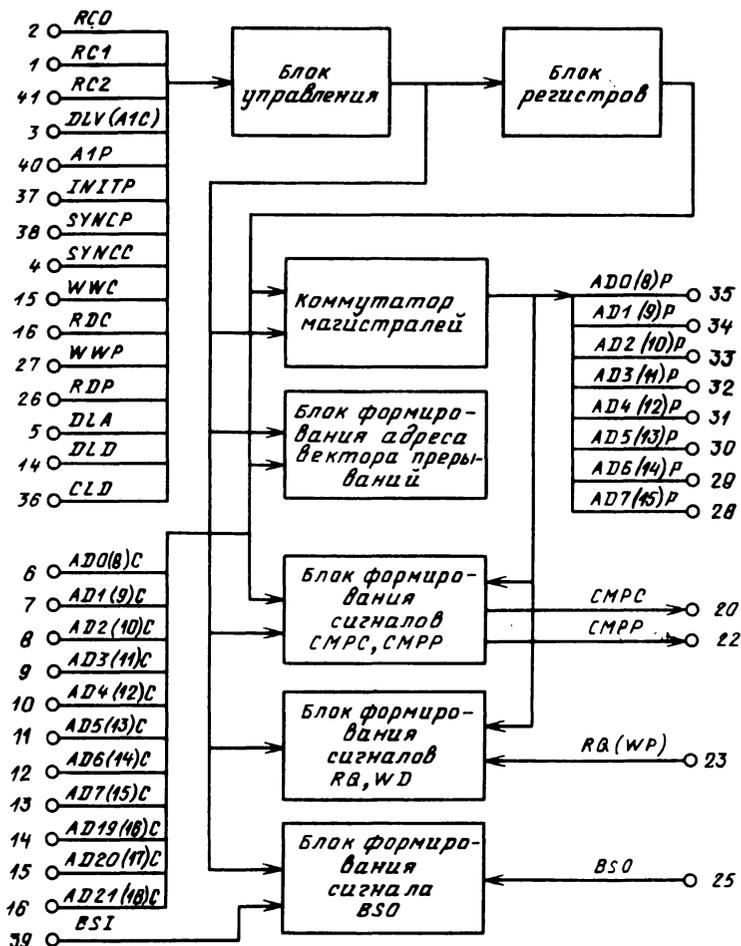


Рис. 7.11. Структурная схема БИСМ типа K1801BP1-095

6-й разряд (*IE*) при наличии в нем 1 и после завершения выполнения текущей команды разрешает вызвать прерывание в системе;

7-й разряд (*TR*) сигнализирует о необходимости записи или чтения регистра данных;

8-й – 13-й разряды при необходимости обеспечивают расширение разрядности адреса до 22 разрядов. Доступны только по записи.

14-й разряд (*INIT*) – запись в него 1 устанавливает контроллер в исходное состояние.

15-й разряд (*ERR*) сигнализирует о возникновении ошибки в про-

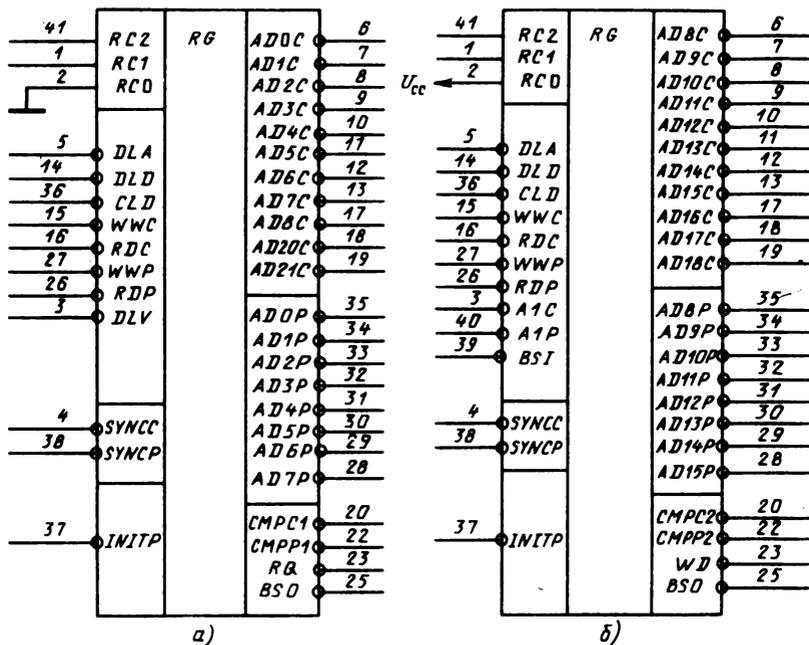


Рис. 7.12. Условное графическое обозначение БИСМ типа К1801ВР1-095:

а – режим младшего байта; б – режим старшего байта

цессе выполнения команды, сбрасывается при иницировании новой команды.

В зависимости от значения входного сигнала *RCO* микросхема может работать в двух режимах: младшего байта при *RCO* = 0 и старшего байта при *RCO* = 1.

Условное графическое обозначение микросхемы в зависимости от выбранного режима работы, а также обозначение сигналов на выводах микросхемы приведены на рис. 7.12 и в табл. 7.11 соответственно.

Микросхема К1801ВР1-096 предназначена для выполнения функций управления адаптером связи, реализованным на двух микросхемах К1801ВР1-095 и группе двунаправленных усилителей. Микросхема включает в себя функциональные элементы (рис. 7.13):

блок прерываний, выполняющий функции отработки стандартной процедуры прерывания на магистрали центрального процессора;

блок прямого доступа, выполняющий функции отработки стандартной процедуры захвата магистрали центрального процессора и передачи одного 16-разрядного слова данных в ячейку памяти или регистр, адресуемый с помощью 2-разрядного адреса;

Т а б л и ц а 7.11. Назначение выводов K1801ВП1-095

Номер	Обозначение	Наименование
1	<i>RC1</i>	Номер контроля
2	<i>RC0</i>	Выборка режима
3	<i>DLV</i>	Выдача вектора
	<i>A1C</i>	1-й разряд <i>AD</i> ЦП
4	<i>SYNCC</i>	Синхронизация активного устройства ЦП
5	<i>DLA</i>	Выдача адреса
6	<i>AD0C</i>	0-й разряд магистрали <i>AD</i> ЦП
	<i>AD8C</i>	8-й разряд магистрали <i>AD</i> ЦП
7	<i>AD1C</i>	1-й разряд магистрали <i>AD</i> ЦП
	<i>AD9C</i>	9-й разряд магистрали <i>AD</i> ЦП
8	<i>AD2C</i>	2-й разряд магистрали <i>AD</i> ЦП
	<i>AD10C</i>	10-й разряд магистрали <i>AD</i> ЦП
9	<i>AD3C</i>	3-й разряд магистрали <i>AD</i> ЦП
	<i>AD11C</i>	11-й разряд магистрали <i>AD</i> ЦП
10	<i>AD4C</i>	4-й разряд магистрали <i>AD</i> ЦП
	<i>AD12C</i>	12-й разряд магистрали <i>AD</i> ЦП
11	<i>AD5C</i>	5-й разряд магистрали <i>AD</i> ЦП
	<i>AD13C</i>	13-й разряд магистрали <i>AD</i> ЦП
12	<i>AD6C</i>	6-й разряд магистрали <i>AD</i> ЦП
	<i>AD14C</i>	14-й разряд магистрали <i>AD</i> ЦП
13	<i>AD7C</i>	7-й разряд магистрали <i>AD</i> ЦП
	<i>AD15C</i>	15-й разряд магистрали <i>AD</i> ЦП
14	<i>DLD</i>	Выдача данных
15	<i>WWC</i>	Запись в регистр ЦП
16	<i>RDC</i>	Чтение из регистра ЦП
17	<i>AD19C</i>	19-й разряд <i>AD</i> ЦП
	<i>AD16C</i>	16-й разряд <i>AD</i> ЦП
18	<i>AD20C</i>	20-й разряд <i>AD</i> ЦП
	<i>AD17C</i>	17-й разряд <i>AD</i> ЦП
19	<i>AD21C</i>	21-й разряд <i>AD</i> ЦП
	<i>AD18C</i>	18-й разряд <i>AD</i> ЦП
20	<i>CMPC</i>	Опознавание адреса ЦП
21	<i>GND</i>	Общий
22	<i>CMPP</i>	Опознавание адреса ПП
23	<i>RQ</i>	Требование прерывания
	<i>WD</i>	Требование выхода в ЦП
24	—	—
25	<i>BSO</i>	Признак внешнего устройства (выход)
26	<i>RDP</i>	Чтение из регистра ПП
27	<i>WWP</i>	Запись в регистр ПП
28	<i>AD7P</i>	7-й разряд магистрали <i>AD</i> ПП
	<i>AD15P</i>	15-й разряд магистрали <i>AD</i> ПП
29	<i>AD6P</i>	6-й разряд магистрали <i>AD</i> ПП
	<i>AD14P</i>	14-й разряд магистрали <i>AD</i> ПП
30	<i>AD5P</i>	5-й разряд магистрали <i>AD</i> ПП
	<i>AD13P</i>	13-й разряд магистрали <i>AD</i> ПП



блок пассивных обменов, предназначенный для формирования стробирующих сигналов записи-чтения информации со стороны магистралей центрального и периферийного процессоров;

делитель частоты (на 2), предназначенный для получения из входного сигнала с частотой 4 МГц сигналов с частотой 2 МГц, служащих для синхронизации функциональных элементов микросхемы.

Микросхема выполняет функции управления следующими режимами работы адаптера:

прерывания центрального процессора по запросу периферийного процессора;

прямого доступа периферийного процессора к памяти периферийного процессора;

чтения-записи регистра состояния и регистра данных.

Во всех перечисленных режимах микросхема обеспечивает:

управление двунаправленными усилителями, включенными для сопряжения с магистралью центрального процессора;

обработку протоколов обмена, принятых для магистралей центрального и периферийного процессоров;

выработку управляющих сигналов для записи информации в регистры адаптера, чтения информации из этих регистров и трансляции информационных и адресных сигналов через регистровую микросхему.

Условное графическое обозначение микросхемы, а также обозначение сигналов на выводах микросхемы приведены на рис. 7.14 и в табл. 7.12 соответственно.

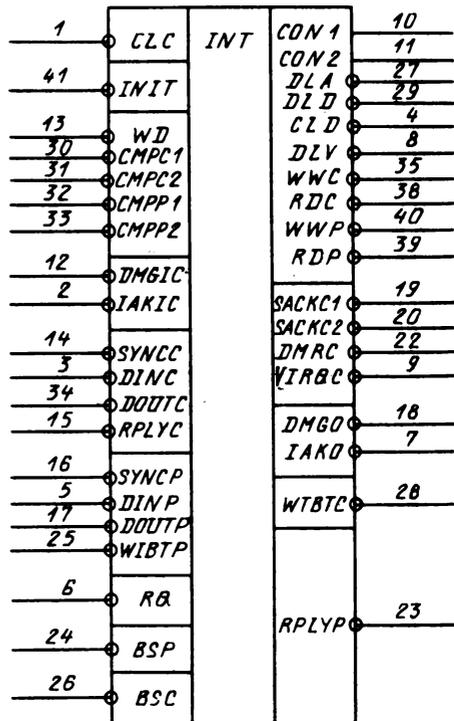


Рис. 7.14. Условное графическое обозначение БИСМ К1801ВП1-096

Т а б л и ц а 7.12. Назначение выводов К1801ВП1-096

Номер	Обозначение	Наименование
1	<i>CLC</i>	Синхронизирующий вход
2	<i>IAKIC</i>	Вход разрешения на прерывание от ЦП
3	<i>DINC</i>	Ввод от ЦП
4	<i>CLD</i>	Передача данных от ЦП к ПП
5	<i>DINP</i>	Ввод от ПП
6	<i>RQ</i>	Запрос на прерывание от ПП
7	<i>IAKO</i>	Выходное разрешение на прерывание
8	<i>DLV</i>	Выдача вектора к ЦП
9	<i>VIRQC</i>	Запрос на прерывание к ЦП
10	<i>CON1</i>	Первый сигнал управления для ДНУ
11	<i>CON2</i>	Второй сигнал управления для ДНУ
12	<i>DMGIC</i>	Входное разрешение ПД от ЦП
13	<i>WD</i>	Вход запроса на ПД от ПП
14	<i>SYNCC</i>	Вход-выход синхронизации магистрали ЦП
15	<i>RPLYC</i>	Вход-выход "Ответ" магистрали
16	<i>SYNCP</i>	Вход синхронизации магистрали ПП
17	<i>DOUTP</i>	Вход "Вывод данных" магистрали ПП
18	<i>DMGO</i>	Выход разрешения
19	<i>SACK1</i>	1-й сигнал ПВ
20	<i>SACK2</i>	2-й сигнал ПВ
21	<i>GND</i>	Общий
22	<i>DMRC</i>	Выход запроса на ПД к ЦП
23	<i>RPLYP</i>	Выход "Ответ" для ПП
24	<i>BSP</i>	Вход признака <i>BS</i> из ПП
25	<i>WTBTP</i>	Вход признака "Запись-байт" из ПП
26	<i>BSC</i>	Выход признака <i>BS</i> в ЦП
27	<i>DLA</i>	Выдача адреса в ЦП
28	<i>WTBTC</i>	Выход признака "Запись-байт" в ЦП
29	<i>DLD</i>	Передача данных от ПП к ЦП
30	<i>CMPC1</i>	1-й сигнал опознавания адреса от ЦП
31	<i>CMPC2</i>	2-й сигнал опознавания адреса от ЦП
32	<i>CMPP1</i>	1-й сигнал опознавания адреса от ПП
33	<i>CMPP2</i>	2-й сигнал опознавания адреса от ПП
34	<i>DOUTC</i>	Вход-выход "Вывод данных" магистрали ЦП
35	<i>WWC</i>	Запись в регистр с ЦП
36	—	—
37	—	—
38	<i>RDC</i>	Чтение регистра с ЦП
39	<i>RDP</i>	Чтение регистра с ПП
40	<i>WWP</i>	Запись в регистр с ПП
41	<i>INIT</i>	Сброс
42	<i>U<sub>CC</sub></i>	Напряжение источника питания



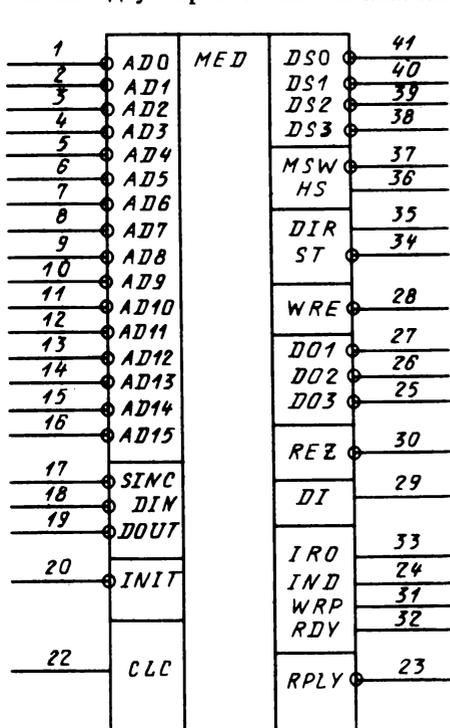
Микросхема K1801ВП1-128 (модифицированный вариант микросхемы K1801ВП1-097) предназначена для управления накопителем на гибких магнитных дисках типа "Электроника НГМД-6022". Микросхема обеспечивает управление режимами чтения-записи информации при работе с НГМД с кодированием и декодированием модифицированной фазовой модуляции. Микросхема включает в себя следующие функциональные элементы (рис. 7.15):

регистр состояния, представляющий параллельный порт, используемый для выработки управляющих сигналов на накопитель и приема управляющих сигналов с накопителя;

регистры данных чтения и записи, предназначенные для буферизации данных при чтении с диска и записи на диски, регистры являются составной частью тракта параллельно-последовательного преобразования информации с кодированием и декодированием по методу модифицированной фазовой модуляции;

генератор CRC, осуществляющий формирование циклического контрольного кода при записи информации на диск и проверку считываемой информации на достоверность;

входные элементы, обеспечивающие подключение регистров микросхемы к двунаправленным линиям системного канала;



интерфейсный узел, выполняющий дешифровку адресов регистра микросхемы и выработку управляющих сигналов записи-чтения;

мультиплексор РДЗ, обеспечивающий подключение ко входам регистра старшего или младшего байта регистра данных записи;

сдвиговый регистр, обеспечивающий преобразование параллельного кода в последовательный в режиме "записи" и последовательного в параллельный в режиме "чтения";

Рис. 7.16. Условное графическое обозначение БИСМ K1801ВП1-128

демультиплексор, подключающий выходы сдвигового регистра к старшему или младшему байту регистра чтения;

схему опознавания маркера, обнаруживающую маркер при чтении адреса или данных. При обнаружении маркера обеспечивается запуск микросхемы на преобразование информации;

схему синхронизации, обеспечивающую синхронизацию узлов микросхемы при записи и чтении информации с накопителя;

устройство управления, осуществляющее управление всеми узлами микросхемы.

Условное графическое обозначение и назначение выводов микросхемы приведены на рис. 7.16 и в табл. 7.13 соответственно.

Контроллер, выполненный на микросхеме K1801ВП1-128, работает в режимах форматирования, чтения и записи произвольного числа спектров, передачи данных по прямому доступу из ОЗУ центрального

Таблица 7.13. Назначение выводов K1801ВП1-128

Номер	Обозначение	Наименование
1-16	AD0-AD15	Вход-выход 0-го - 15-го разрядов линии адреса данных
17	SINC	Вход "Синхронизация активного устройства"
18	DIN	Вход "Ввод данных"
19	DOUT	Вход "Вывод данных"
20	INIT	Вход "Первоначальная установка"
21	OV	Общий вывод
22	CLC	Вход "Тактовая частота"
23	RPLY	Выход "Синхронизация пассивного устройства"
24	IND	Вход "Индекс"
25	D03	Выход "Выходные данные 3"
26	D02	Выход "Выходные данные 2"
27	D01	Выход "Выходные данные 1"
28	WRE	Выход "Разрешение записи"
29	DI	Вход "Входные данные"
30	REZ	Выход "Резервный"
31	WRP	Вход "Защита записи"
32	RDY	Вход "Готовность"
33	IR0	Вход 0-я дорожка"
34	ST	Выход "Шаг"
35	DIR	Выход "Направление перемещения"
36	HS	Выход "Выбор верхней/нижней головки"
37	MSW	Выход "Включение электродвигателя"
38	DS3	Выход "Выбор механизма 3"
39	DS2	Выход "Выбор механизма 2"
40	DS1	Выход "Выбор механизма 1"
41	DS0	Выход "Выбор механизма 0"
42	U <sub>CC</sub>	Напряжение источника питания

процессора и обратно и может работать с любым типом накопителей на дисках диаметром 133 мм.

Более подробно работа программируемого контроллера НГМД изложена в [48].

### 7.2.3. Контроллер ЗУ ЦМД на КР1801ВП1-103, КР1806ВП1-157

Микросхема КР1806ВП1-103 является основной частью контроллера внешнего запоминающего устройства, построенного на основе СБИС ЗУ ЦМД типа К1602РЦ2 или К1605РЦ1 информационной емкостью 256 Кбит каждая [49, 50].

Микросхема предназначена для формирования режима работы СБИС ЗУ ЦМД, организации алгоритмов страничной адресации, поиска, записи и чтения информации в (из) ЗУ ЦМД. Функционально микросхема КР1806ВП1-103 состоит из следующих узлов (рис. 7.17): счетчика тактов (СТ), дешифратора тактов (ДТ), схемы управления (СУ), счетчика циклов (СЦ), дешифратора циклов (ДЦ), формирователя сигналов (ФС), формирователя сигнала *COIL* (*ФС COIL*) счетчика страниц (СТ), мультиплексора ( $M_x$ ), схемы сравнения (СС), дешифраторов нуля (ДН) и недействительного адреса (ДНД), регистра адреса поиска (РАП), буфера двунаправленной шины данных (Б).

Схема управления принимает и дешифрирует входные управляющие сигналы и определяет последовательность операций остальных узлов микросхемы.

Счетчик циклов совместно с дешифратором циклов формирует необходимую последовательность сигналов, обеспечивающих реализацию временной диаграммы работы СБИС ЗУ ЦМД в режимах запись и чтение.

Счетчик тактов совместно с дешифратором тактов составляют распределитель импульсов, формирующий среди синхросигналов для управления работой остальных узлов микросхемы. Кроме того, при отсутствии сигнала разрешения счетчик тактов, находясь в нулевом состоянии, обеспечивает режим снижения потребляемой мощности микросхемы.

Формирователь сигнала *COIL* обеспечивает разрешение работы формирователей токов продвижения доменов СБИС ЗУ ЦМД. Переход уровня сигнала *COIL* из состояния логической 1 в состояние логического 0 является признаком начала работы контроллера с СБИС ЗУ.

Счетчик страниц, мультиплексор, схема сравнения, дешифратор нуля и регистр адреса поиска составляют блок страничной адресации и поиска, обеспечивающий реализацию алгоритма страничной адресации и поиск нужного логического адреса накопителя.

Назначение выводов и условное графическое обозначение выводов микросхемы приведены в табл. 7.14 и на рис. 7.18 соответственно.

Следует отметить, что БИСМ на основе КР1806 являются КМОП-аналогами БИСМ на основе БМК типа К1801.

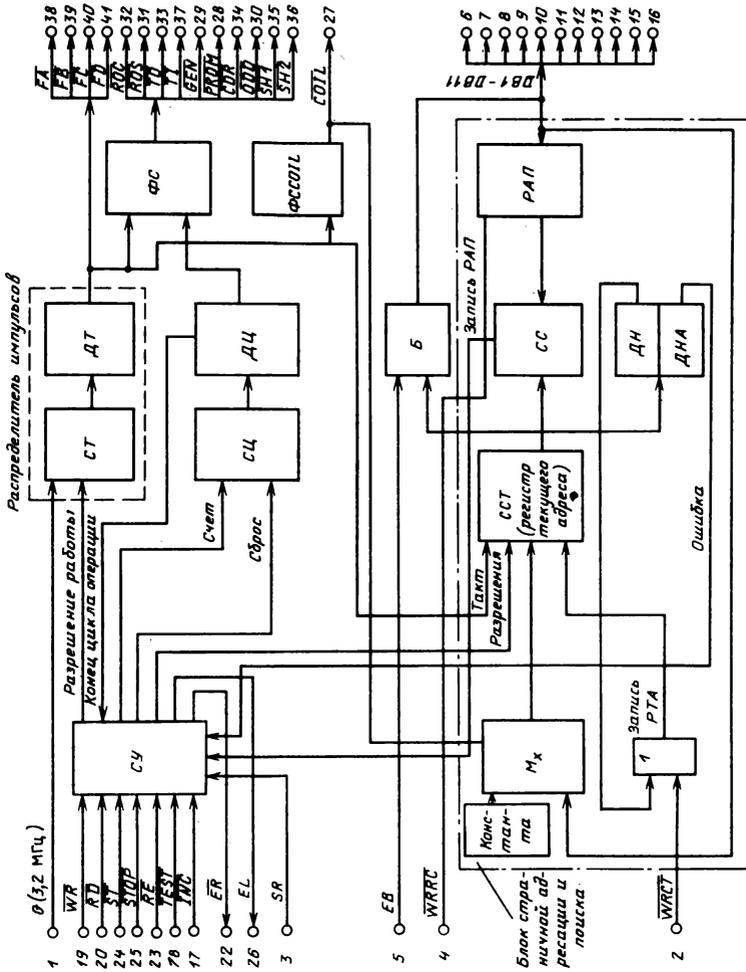


Рис. 7.17. Структурная схема БИСМ К1801ВП1-103

Таблица 7.14. Назначение выводов КР1806ВП1-103

Номер	Обозначение	Наименование
1	<u>G</u>	Вход внешнего тактового генератора
2	<u>WRCT</u>	Вход сигнала "Запись РТА"
3	<u>SR</u>	Вход "Начальная установка"
4	<u>WRRG</u>	Вход сигнала "Запись РАП"
5	<u>EB</u>	То же "Управление шиной"
6-16	<u>DB1-DB11</u>	Вход-выход 1-го - 11-го разрядов шины данных
17	<u>INC</u>	Вход сигнала "Инкремент РТА"
18	<u>TEST</u>	Вход "Контроль функционирования"
19	<u>WR</u>	Вход команды "Запись"
20	<u>RD</u>	Вход команды "Чтение"
21	<u>OV</u>	Общий вывод
22	<u>ER</u>	Выход сигнала "Ошибка"
23	<u>RE</u>	Выход сигнала "Авария"
24	<u>ST</u>	Выход сигнала "Старт операции"
25	<u>STOP</u>	Выход сигнала "Стоп операции"
26	<u>EL</u>	Выход сигнала "Завершено"
27	<u>CDTL</u>	Выход сигнала "Работа ЦМД"
28	<u>PROM</u>	Выход сигнала "Фаза данных"
29	<u>GEN</u>	Выход сигнала "Генератор"
30	<u>ODD</u>	Выход сигнала "Чет-нечет"
31	<u>ROS</u>	Выход сигнала "Репликатор-2"
32	<u>ROC</u>	Выход сигнала "Репликатор-1"
33	<u>TO</u>	Выход сигнала "Вывод"
34	<u>CDR</u>	Выход сигнала "Строб чтения"
35	<u>SH1</u>	Выход сигнала "Сдвиг-1"
36	<u>SH2</u>	Выход сигнала "Сдвиг-2"
37	<u>TI</u>	Выход сигнала "Ввод"
38	<u>FA</u>	Выход сигнала "Фаза А"
39	<u>FB</u>	Выход сигнала "Фаза В"
40	<u>FC</u>	Выход сигнала "Фаза С"
41	<u>FD</u>	Выход сигнала "Фаза D"
42	<u>U<sub>CC</sub></u>	Вывод питания от источника напряжения

В целях расширения возможностей К1806ВП1-103 разработана БИСМ К1806ВП1-157, имеющая байтовую шину и используемая в составе микропроцессорных систем с адресацией, соответствующей порту ввода-вывода или ячейкам памяти в адресном пространстве микропроцессора. Условное графическое обозначение микросхем дано на рис. 7.19.

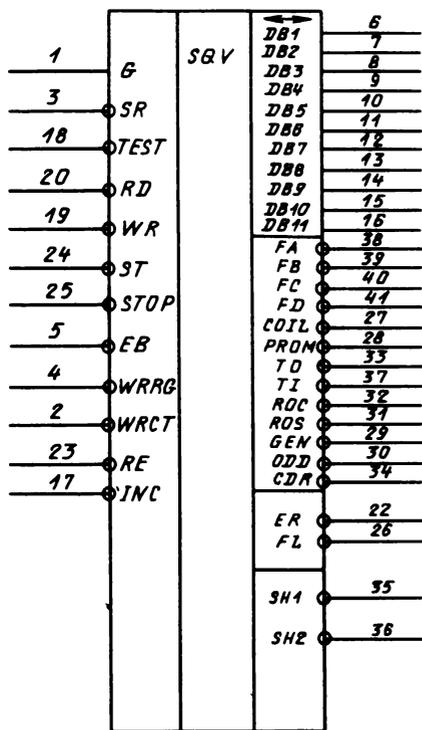


Рис. 7.18. Условное графическое обозначение БИСМ типа К1806ВП1-103

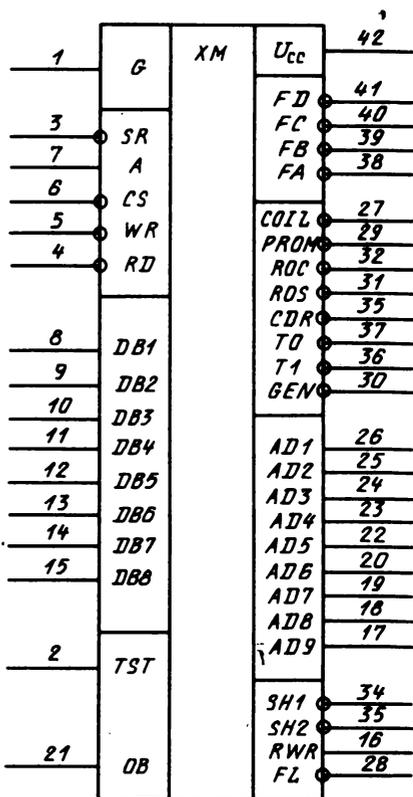


Рис. 7.19. Условное графическое обозначение БИСМ типа К1806ВП1-157

Алгоритм страничной адресации и назначение функциональных сигналов управления соответствуют БИСМ К1806ВП1-103 (табл. 7.14).

В микросхеме К1806ВП1-157 дополнительно реализован узел формирования адресов ПЗУ (ОЗУ) карты гондности СБИС ЗУ ЦМД (выводы  $AD1-AD9$ ). Вывод  $RWR$  транслирует тип опознанной операции — "запись", "чтение" (при операции "запись"  $RWR = 0$ ). Группа управляющих выводов ( $A$ ,  $\overline{CS}$ ,  $\overline{WR}$ ,  $\overline{RD}$ ) вместе с двунаправленной шиной  $DB1-DB8$  образует байтовый интерфейс пользования [49].

Функционально в состав микросхемы К1806ВП1-157 входят (рис. 7.20)  $СУИ$  — система управления интерфейсом,  $БФ$  — двунаправленный тристабильный буфер байтов шины,  $РФ$  — регистровый файл емкостью 5 байт,  $РН$  — схема синхронизации и распределитель импульсов,  $ДК$  — дешифратор команд алгоритмов работы микросхемы,

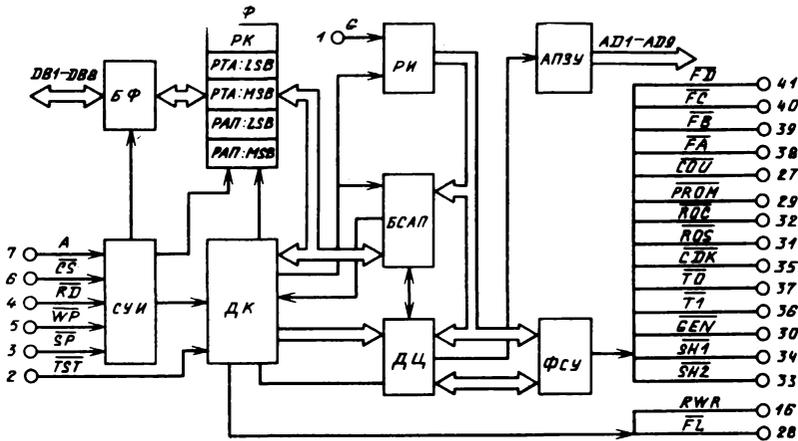


Рис. 7.20. Структурная схема БИСМ типа К1806ВР1-157

**БСАП** – блок алгоритма страничной адресации и поиска, **ДЦ** – дешифратор циклов алгоритмов операции запись-чтение, **ФСУ** – формирователь сигналов управления СБИС ЗУ ЦМД, **АПЗУ** – формирователь адресов карты годности при операциях запись-чтение.

В отличие от БИСМ К1806ВР1-103 в микросхеме К1806ВР1-157 реализован набор команд, позволяющий упростить аппаратуру и расширить возможности контроллера устройств управления системами памяти, особенно устройств с ограниченными программными и аппаратными возможностями.

Временные диаграммы работы БИСМ типов К1806ВР1-103 и К1806ВР1-157 приведены в [49, 50].

### 7.2. КОНТРОЛЛЕР КЛАВИАТУРЫ НА К1806ВР1-093

Применение устройств операторного ввода-вывода информации, работающих в автономном режиме, позволяет освободить центральный процессор микроЭВМ (К1801ВМ1, К1801ВМ2) от решения задач ввода-вывода. Основными частями такого устройства являются контроллер клавиатуры и программируемый таймер на БИСМ К1806ВР1-093 [51].

Функционально микросхема состоит из следующих узлов (рис. 7.21):  
 двуправленного трехстабильного буфера для подключения к магистрали адреса-данных микроЭВМ;

блока синхронизации для управления обменом информацией через МПИ;

схемы формирования адреса вектора прерывания;

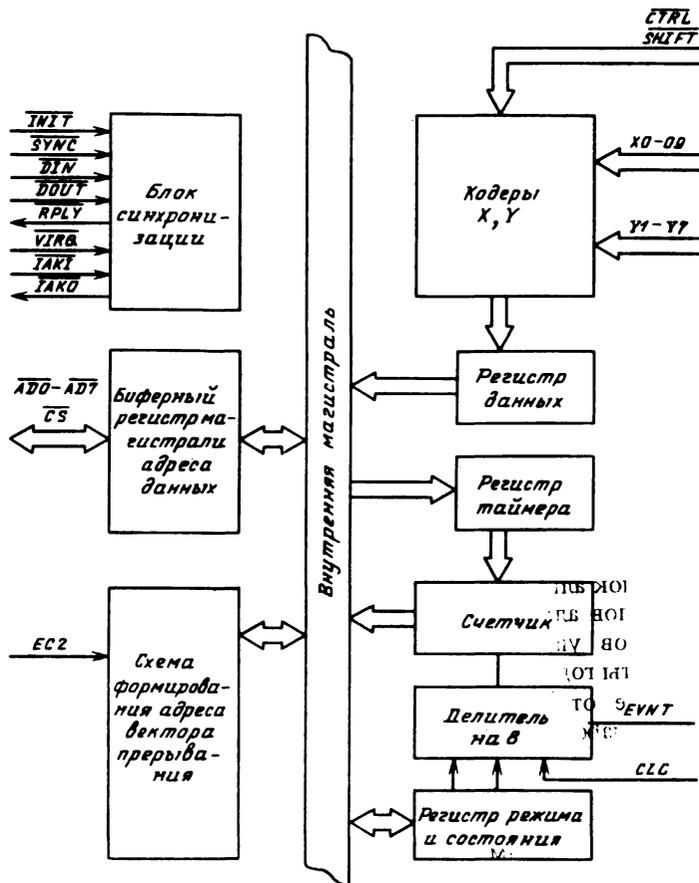


Рис. 7.21. Структурная схема БИСМ типа К1806ВР1-093

кодеров  $X$  и  $Y$  для формирования 7-битных стандартных кодов символов в соответствии с сигналами, поступающими от клавиатуры по линиям  $X0-X9$  и  $Y1-Y7$ ;

регистров данных и таймера, имеющих на системной магистрали общий адрес;

5-разрядного счетчика, у которого коэффициент пересчета изменяется в соответствии с числом в регистре таймера;

делителя частоты на 8 для управления входами счетчика;

регистра режима и состояния для управления работой устройства.

Условное графическое обозначение БИСМ типа К1806ВР1-093 приведено на рис. 7.22, а назначение выводов – в табл. 7.15.

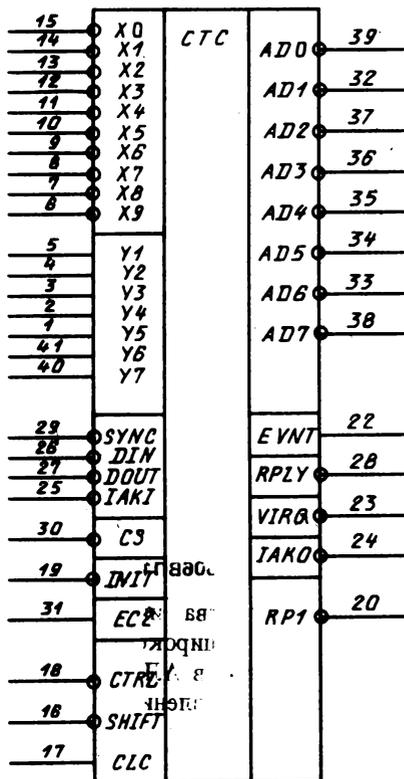


Рис. 7.22. Условное графическое обозначение БИСМ типа К1806ВР1-093

Реализация в БИС контроллера клавиатуры логики прерываний дает таймеру более высокий приоритет по отношению к клавиатуре. Кодеры X и Y организованы таким образом, что обеспечивают защиту от влияния дребезга контактов и одновременного нажатия нескольких клавиш.

При наличии в устройстве операционного ввода-вывода одной БИСМ типа К1806ВР1-093 клавиатура может содержать до 80 кнопок, организованных в матрицу 8 × 10. Подробное описание устройства ввода данных с клавиатуры изложено в [51].

Таблица 7.15. Назначение выводов К1806ВР1-093

Номер	Обозначение	Наименование
1-5	$Y5-Y1$	Входы-выходы линий
6-15	$X9-X0$	Входы линий
16	$\overline{SHIFT}$	Вход сигнала переключения регистров
17	$\overline{CLC}$	Вход тактовой частоты
18	$\overline{CTRL}$	Вход сигнала модификации кодов
19	$\overline{INIT}$	Вход сигнала начальной установки
20	$\overline{RPI}$	Выход для подключения времязадающей цепочки
21	$GND$	Общий
22	$\overline{EVNT}$	Выход сигнала таймера
23	$\overline{VIRQ}$	Выход сигнала адресного прерывания
24	$\overline{IAKO}$	Выход сигнала разрешения прерывания
25	$\overline{IAKI}$	Вход сигнала разрешения прерывания

Продолжение табл. 7.15

Номер	Обозначение	Наименование
26	$\overline{DIN}$	Вход сигнала управления вводом данных
27	$\overline{DOUT}$	Вход сигнала управления выводом данных
28	$\overline{RPLY}$	Выход сигнала ответа приемника информации
29	$\overline{SYNC}$	Вход сигнала синхронизации обмена
30	$\overline{CS}$	Вход сигнала выбора устройства
31	$\overline{EC2}$	Вход сигнала модификации адреса прерывания
31-39	$\overline{AD1}, \overline{AD6},$ $\overline{AD5}, \overline{AD4},$ $\overline{AD3}, \overline{AD2},$ $\overline{AD7}, \overline{AD0}$	Входы-выходы магистрали адреса данных
40, 41	Y7, Y6	Входы-выходы линий
42	$U_{CC}$	Напряжение источника питания

**7.4. КОНТРОЛЛЕР УСТРОЙСТВА ИНДИКАЦИИ НА К1806ВП1-092**

Создание универсального контроллера устройства индикации на БИСМ К1806ВП1-092 позволило использовать его с широкой номенклатурой матричных (типа АЛ340) и сегментных (типов АЛ304, АЛ318) индикаторов, как имеющих встроенные схемы управления, так и без них [51].

Микросхема К1806ВП1-092 ориентирована на работу с дисплеями на основе дискретных индикаторов. В состав БИСМ входят следующие функциональные узлы (рис. 7.23):

двунаправленный трехстабильный буфер для подключения к магистрали адреса-данных микроЭВМ;

блок синхронизации для управления обменом информацией через МПИ;

компаратор адресов;

ОЗУ для приема, хранения и выдачи 8-разрядных кодов 12 символов;

блок управления записью, формирующий сигналы управления работой параллельно-последовательных внешних регистров;

блок формирования диаграммы подсвета для управления отображением информации на дисплее;

выходной мультиплексор, осуществляющий выдачу на выходы  $D0-D7$  кодов символов из регистров ОЗУ в последовательности, определяемой номером регистра;

регистры режима и состояния.

Назначение выводов БИСМ К1806ВП1-092 дано в табл. 7.16.

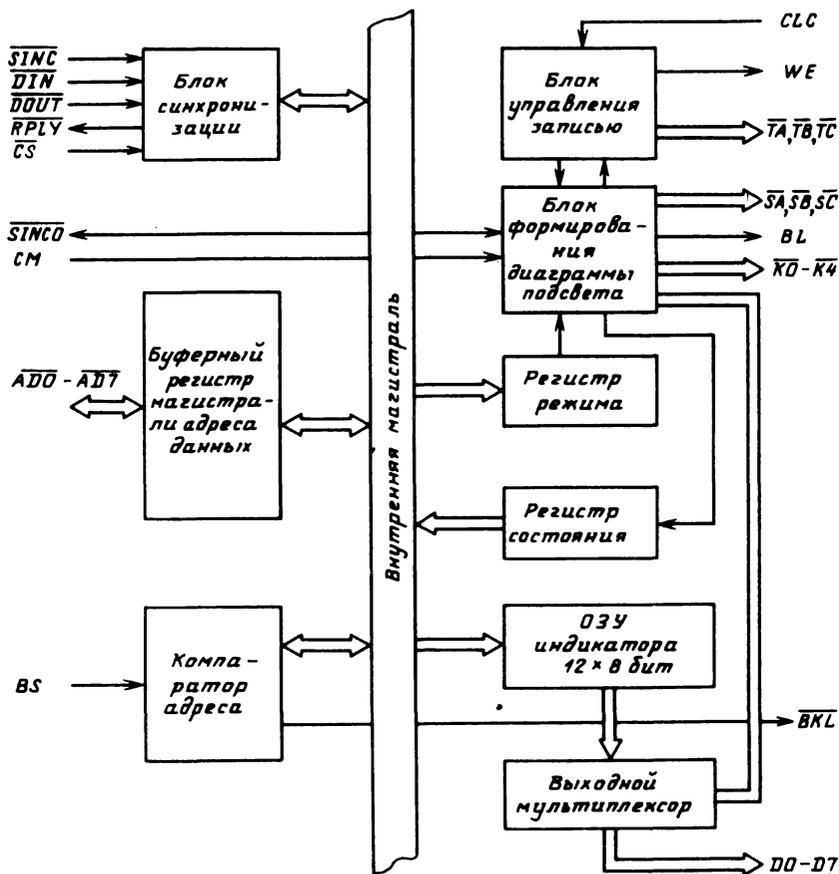


Рис. 7.23. Структурная схема БИСМ типа К1806ВР1-092

Таблица 7.16. Назначение выводов К1806ВР1-092

Выход	Обозначение	Наименование
1-3	D5-D7	Информационные выходы
4	WE	Выход управления внешним регистром
5	CLC	Вход тактовой частоты
6-8	TA, TB, TC	Выходы сигналов сдвига
9	SYNCO	Вход-выход сигнала синхронизации
10	CLCT	Вход (технологической) тактовой частоты
11	BL	Выход сигнала подсветки
12-14	SA, SB, SC	Выходы сигналов управления питанием

Номер	Обозначение	Наименование
15-19	$\overline{K0}, \overline{K4}$	Выходы сигналов выбора столбца
20	$\overline{CM}$	Вход сигнала выбора режима работы
21	$\overline{GND}$	Общий
22	$\overline{BKL}$	Выход сигнала выбора внешнего устройства
23	$\overline{RPLY}$	Выход сигнала ответа приемника информации
24	$\overline{BS}$	Вход сигнала выбора адреса
25	$\overline{DIN}$	Вход сигнала управления вводом данных
26	$\overline{SYNC}$	Вход сигнала синхронизации объема
27	$\overline{CS}$	Вход сигнала выбора устройства
28-35	$\overline{AD7-AD0}$	Входы-выходы магистрали адреса-данных
36	$\overline{DOUT}$	Вход сигнала управления выводом данных
37-41	$\overline{D0-D4}$	Информационные выходы
42	$U_{CC}$	Напряжение источника питания

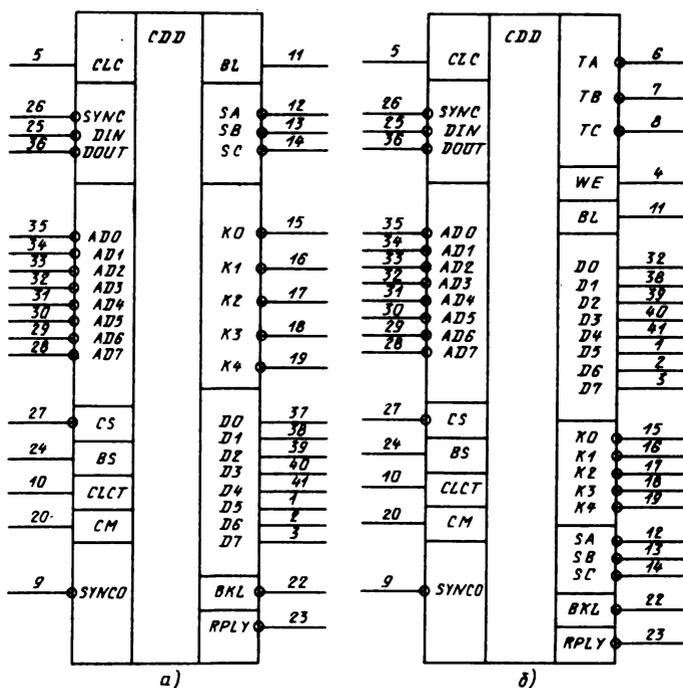


Рис. 7.24. Условное графическое обозначение БИСМ типа К1806ВП1-092 при работе с восемью сегментами (а) и матричными (б) индикаторами

При совместной работе с 12- и 8-сегментными индикаторами (типов АЛС321, АЛС348) уставное графическое изображение БИСМ К1806ВП1-092 имеет вид, приведенный на рис. 7.24.

Более широкими возможностями по отображению информации обладают матричные индикаторы, в которых отдельное знакомство представляет собой матрицу с организацией  $5 \times 7$  точек. Условное графическое обозначение БИСМ К1806ВП1-092 при работе с матричными индикаторами изображено на рис. 7.24, б.

Детальное описание построения устройств индикации с применением БИСМ приведено в [51].

## Глава 8

### СВЕРХБЫСТРОДЕЙСТВУЮЩИЕ ЦИФРОВЫЕ БМК НА НОВЫХ МАТЕРИАЛАХ

Современная РЭА требует применения цифровых БМК, работающих с тактовой частотой 1–5 ГГц. Основные перспективы улучшения скоростных и энергетических характеристик БМК в настоящее время связаны с освоением нового полупроводникового материала – арсенида галлия, обладающего по сравнению с кремнием рядом преимуществ:

- в 3–6 раз более высокой подвижностью электронов;
- в 2–3 раза более высокой предельной скоростью электронов;
- на 0,3 эВ большей шириной запрещенной зоны.

Эти свойства арсенида галлия обеспечивают сверхвысокое быстродействие, широкий температурный диапазон и малые токи утечки изделий микроразработки.

Один из первых БМК типа К6501ХМ1 на основе арсенида галлия демонстрировался в 1989 г. на ВДНХ в павильоне научно-технического творчества молодежи.

Кристалл БМК типа К6501ХМ1 имеет размер 4,5 × 3,4 мм и содержит 56 контактных площадок, 44 из которых сигнальные, 4 – общие, 4 – напряжения питания внутренних БЯ  $U_{CC1}$ , 4 – напряжения питания периферийных БЯ  $U_{CC2}$  (рис. 8.1).

Внутренняя часть БМК представляет собой матрицу (5 × 5) из 25 МБЯ, каждая из которых содержит 4 однотипных фрагмента с различной ориентацией. В состав каждого фрагмента входят 26 транзисторов.

Периферийная часть содержит 44 ПБЯ двух типов: один тип расположен вдоль оси  $X$ , а другой – вдоль оси  $Y$ . На одной ПБЯ может осуществляться разводка либо входного, либо выходного транслятора.

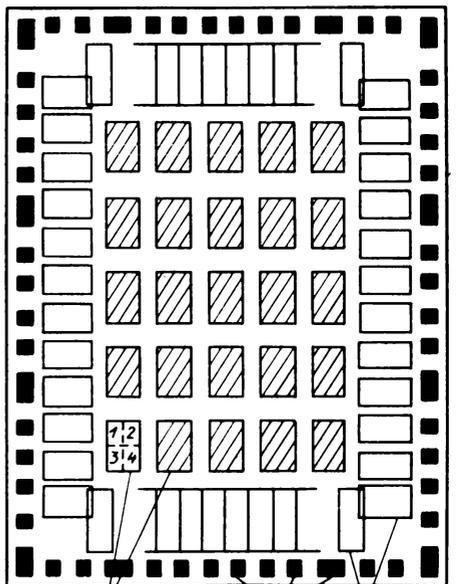
В БМК между столбцами матрицы можно провести 12 и между строками матрицы 8 трасс для осуществления межсоединений. По

Рис. 8.1. Схематичное изображение кристалла БМК типа К6501ХМ1

периферии матрицы можно провести вдоль оси  $X$  4 трассы и вдоль оси  $Y$  6 трасс.

Разводка межсоединений осуществляется в двух слоях металлизации. Для трасс металла первого уровня приоритетным является направление вдоль оси  $X$ , а для второго уровня — направление вдоль оси  $Y$ . В состав постоянной металлизации БМК входят шины "земля",  $U_{CC1}$  и  $U_{CC2}$ . Шины  $U_{CC1}$  и "земля" для внутренних и периферийных элементов объединены между собой. Трассировка шин "земля" производится вдоль оси  $X$  в первом слое металлизации, трассировка шин  $U_{CC1}$  и  $U_{CC2}$  — вдоль оси  $Y$  во втором слое металлизации.

Базовые ячейки разработаны на основе полевых транзисторов с затвором Шоттки, и на кристалле содержатся 300 эквивалентных вен-



Матричная БЯ Контактные площадки Периферийная БЯ

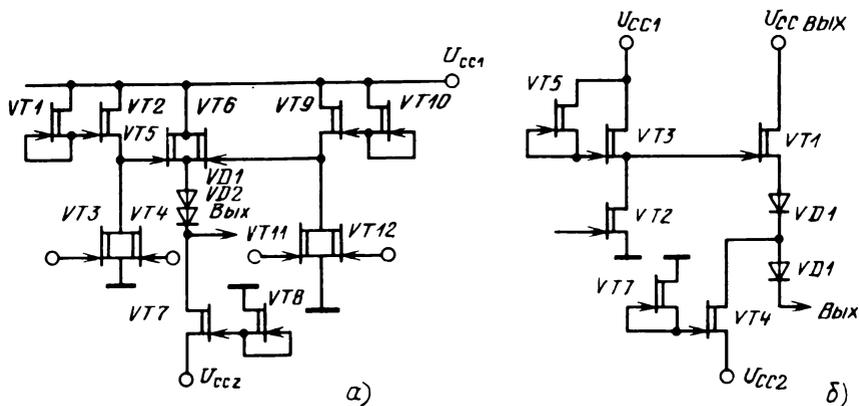


Рис. 8.2. Принципиальные электрические схемы базового логического вентиля (а) и выходного каскада (б) БМК типа К6501ХМ1

тилей. Принципиальная электрическая схема базового логического вентиля приведена на рис. 8.2, б. Основные технические характеристики БМК даны в табл. 8.1.

Библиотека ФЯ содержит 29 типов МФЯ (*M1–M29*) и 2 типа ПФЯ (*П1* и *П2*). Условные графические изображения типов ФЯ приведены в приложении 9. Значения основных динамических параметров МФЯ при температуре 25 °С и номинальном напряжении питания приведены в табл. 8.2. Мощность *П1* (табл. 8.2) указана при подключении пяти входов МФЯ к выходу *П1*, а *П2* – при условии работы на резистивную нагрузку 50 ± 0,5 Ом, подключенную к шине заземления.

Для защиты входных и выходных трансляторов БМК от повреждения статическим зарядом или случайно приложенным напряжением каждый вход и выход микросхемы снабжен диодно-резистивной защитной цепью.

Таблица 8.1. Основные технические характеристики БМК типа К6501ХМ1

Параметр, единица измерения	Значение
Потребляемая мощность, мВт/вент. (Вт/кристалл), не более	5,0 (4,0)
Время задержки распространения сигнала, нс/вент.	0,15
Максимальная тактовая частота, ГГц, не более	1,0
Температурный диапазон, °С	-10 ÷ + 70
Напряжение питания, В:	
$U_{CC1}$	+ 4,0
$U_{CC2}$	-2,4
Напряжение логических уровней, В:	
$U_L$	-0,2 ÷ + 0,1
$U_H$	0,9–1,5
Сопротивление нагрузки, Ом	50

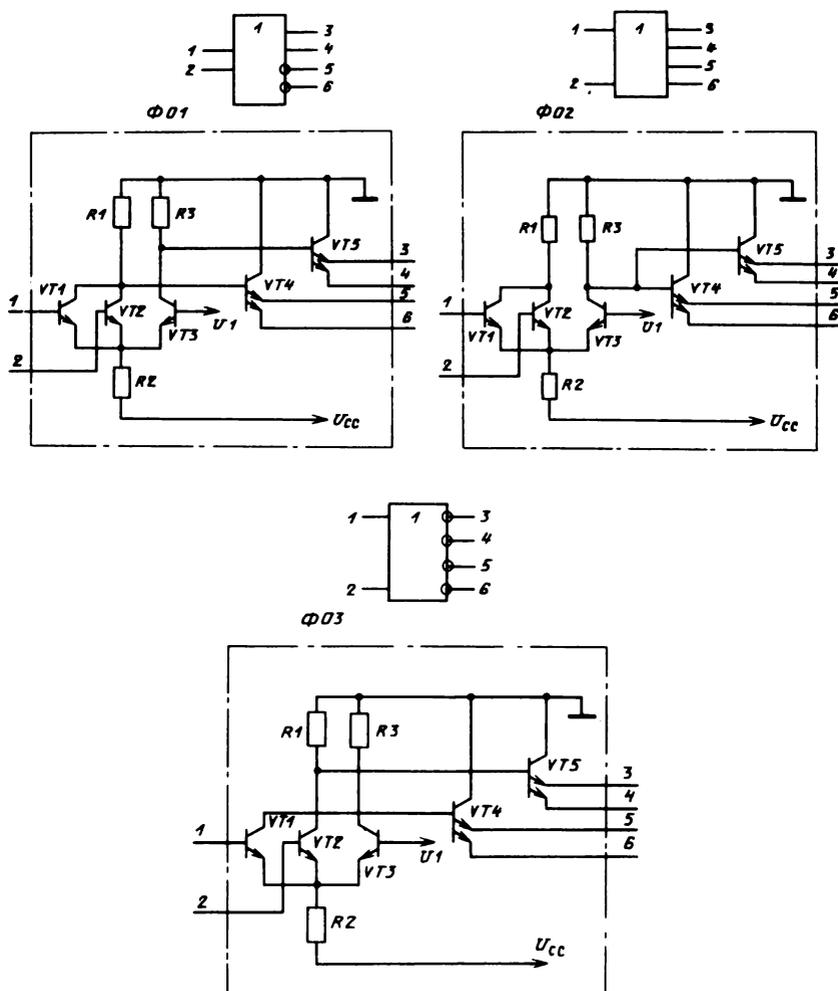
Таблица 8.2. Динамические параметры ФЯ

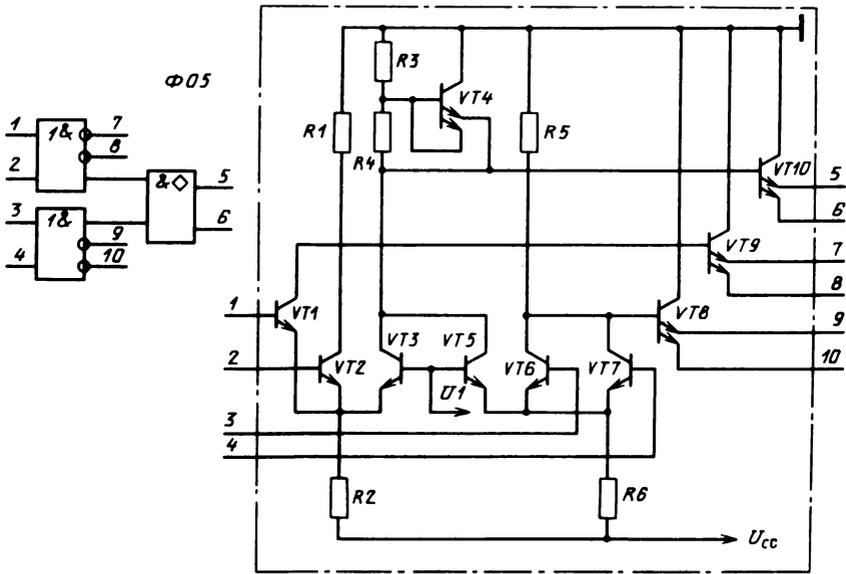
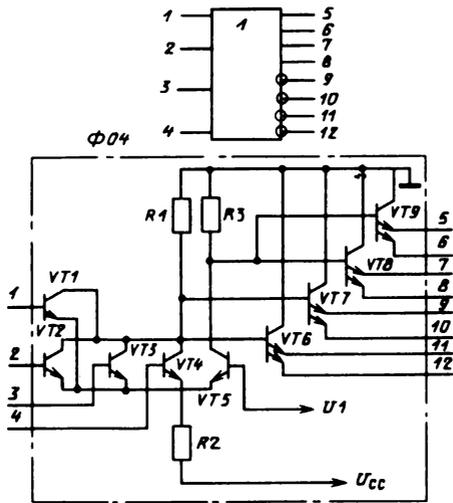
Тип МФЯ	Параметр, единица измерения						
	Обозначение управляющего входа	Обозначение выхода	$t_{PLH}$ , нс	$t_{PHL}$ , нс	$t_{LH}$ , нс	$t_{THL}$ , нс	<i>P</i> , мВт
<i>M1</i>	<i>X</i>	<i>F</i>	0,08	0,19	0,12	0,14	5,4
<i>M2</i>	<i>X1, X2</i>	<i>F</i>	0,085	0,195	0,125	0,145	5,4
<i>M3</i>	<i>X1–X3</i>	<i>F</i>	0,09	0,200	0,130	0,150	5,4
<i>M4</i>	<i>X1–X4</i>	<i>F</i>	0,095	0,205	0,135	0,155	5,4
<i>M5</i>	<i>X1, X2</i>	<i>F</i>	0,09	0,19	0,13	0,14	7,6
<i>M6</i>	<i>X1, X2</i>	<i>F</i>	0,10	0,20	0,14	0,15	7,6
	<i>X3</i>	<i>F</i>	0,09	0,19	0,13	0,14	7,6

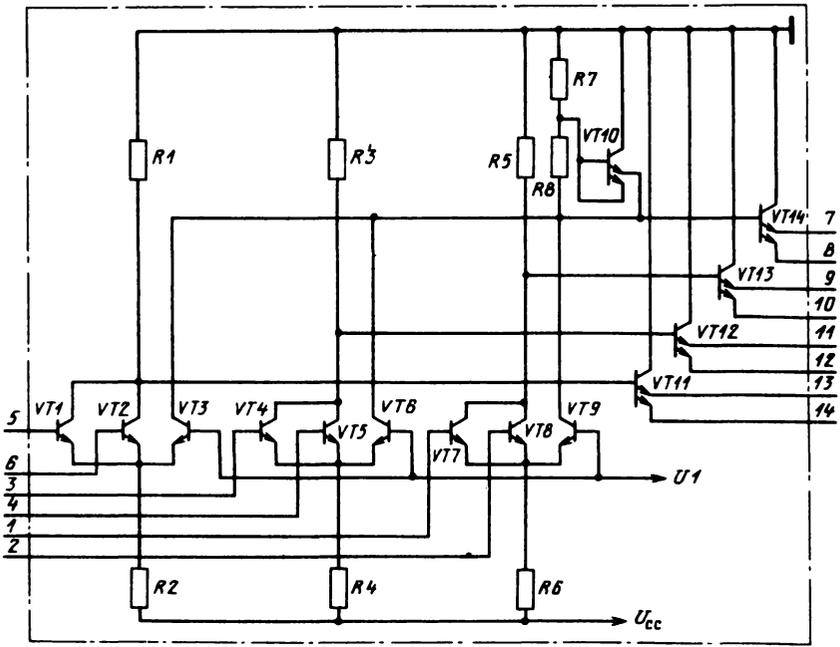
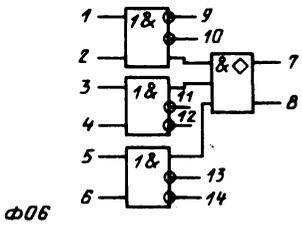
Продолжение табл. 8.2

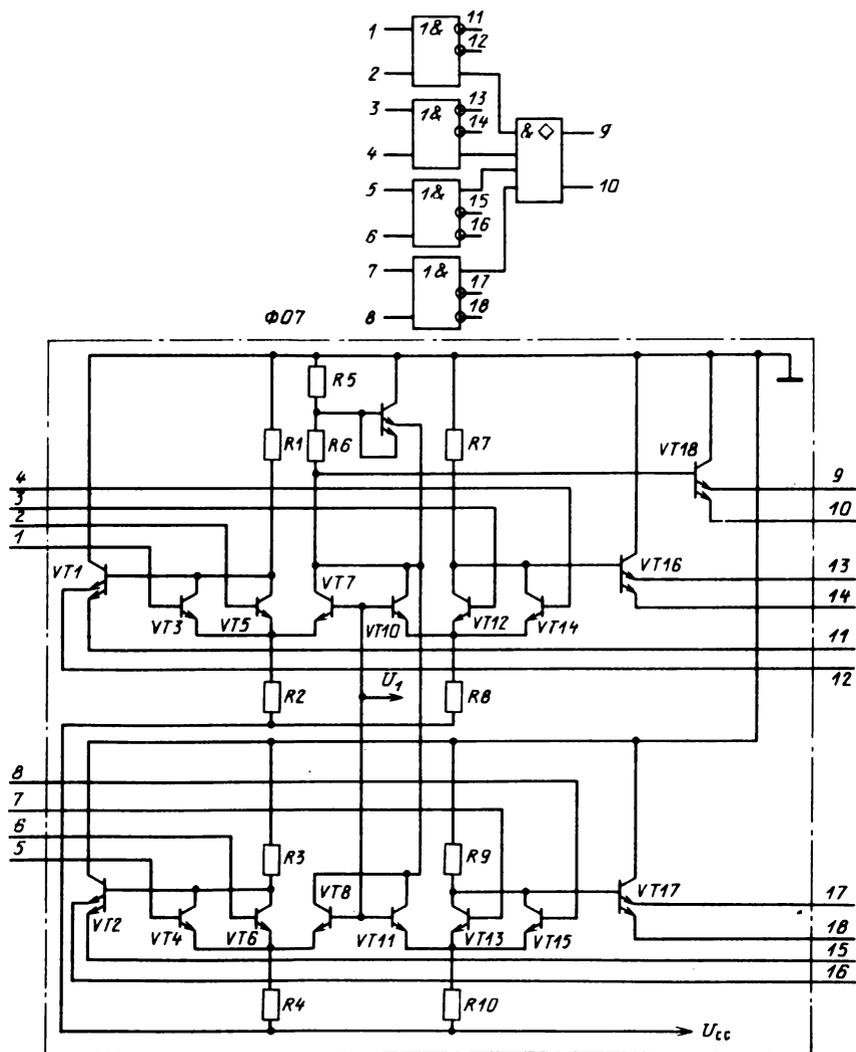
Тип МФЯ	Параметр, единица измерения						P, мВт
	Обозначение управляющего входа	Обозначение выхода	$t_{PLH}$ , нс	$t_{PHL}$ , нс	$t_{LH}$ , нс	$t_{THL}$ , нс	
M7	X1-X4	F	0,10	0,20	0,13	0,14	7,6
M8	X1, X2	F	0,10	0,20	0,14	0,15	5,4
	X3	F	0,08	0,19	0,12	0,14	5,4
M9	X1-X4	F	0,09	0,19	0,13	0,14	5,4
M10	X16, X2,	F	0,10	0,20	0,14	0,15	7,6
	X3						
M11	X1-X4	F	0,10	0,20	0,15	0,15	7,6
M12	X1, X2	F	0,10	0,20	0,15	0,15	7,6
	X3, X4	F	0,095	0,195	0,13	0,14	7,6
M13	X1	F	0,08	0,19	0,12	0,14	5,5
	X2, X3	F	0,12	0,22	0,16	0,16	5,5
	X4	F	0,10	0,20	0,14	0,15	5,5
M14	X1	F	0,09	0,19	0,12	0,14	7,6
	X2-X4	F	0,10	0,20	0,14	0,15	7,6
M15	X1, X2	F	0,09	0,19	0,13	0,14	5,6
	X3, X4	F	0,10	0,20	0,15	0,16	5,6
M16	T	$Q, \overline{Q}$	0,52	0,56	0,24	0,24	32,4
M17	T	$Q, \overline{Q}$	0,54	0,56	0,24	0,24	32,4
M18	T	$Q, \overline{Q}$	0,54	0,54	0,25	0,27	24,0
M19	C, S	$Q, \overline{Q}$	0,51	0,53	0,28	0,28	32,0
M20	C	$Q, \overline{Q}$	0,51	0,56	0,28	0,28	32,0
M21	C	$Q, \overline{Q}$	0,51	0,53	0,28	0,28	32,4
M22	C	$Q, \overline{Q}$	0,51	0,53	0,28	0,28	32,4
M23	C	$Q, \overline{Q}$	0,51	0,53	0,28	0,28	32,4
M24	C	$Q, \overline{Q}$	0,51	0,53	0,28	0,28	32,4
M25	X1	Y1	0,43	0,44	0,200	0,24	23,8
	X1	Y2	0,40	0,40	0,180	0,23	23,8
	X2	Y1	0,43	0,43	0,200	0,24	23,8
	X2	Y2	0,40	0,40	0,180	0,23	23,8
M26	X	F	0,38	0,38	0,18	0,22	12,0
	Y	F	0,38	0,38	0,18	0,22	12,0
M27	X1	Y1	0,450	0,49	0,15	0,21	44,4
	X1	Y2	0,450	0,49	0,18	0,21	44,4
M27	X2	Y1	0,90	0,93	0,18	0,21	44,4
	X2	Y2	0,90	1,93	0,18	0,21	44,4
	X3	Y1	0,88	0,88	0,18	0,21	44,4
	X3	Y2	0,88	1,88	0,18	0,21	44,4
M28	T	$Q, \overline{Q}$	0,53	0,51	0,26	0,27	22,5
M29	T	$Q, \overline{Q}$	0,50	0,51	0,26	0,27	22,5
П1	-	-	0,28	0,26	0,24	0,17	5,5
П2	-	-	0,10	0,17	0,10	0,16	11,5

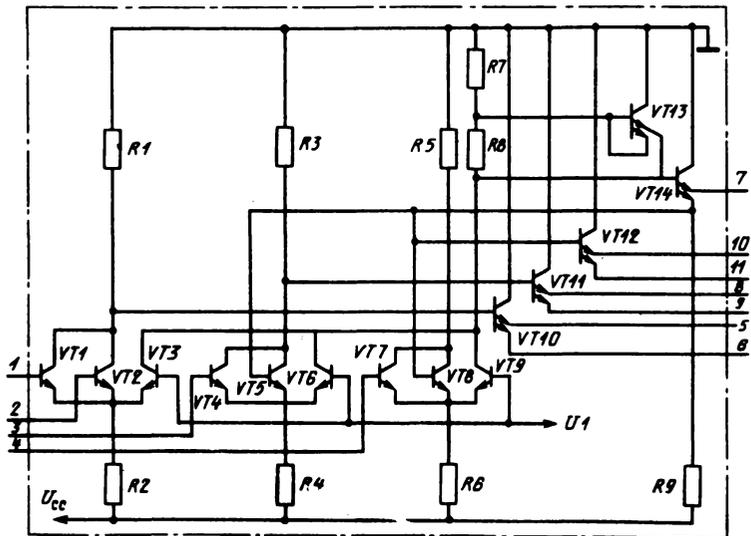
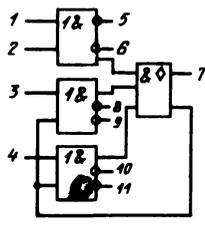
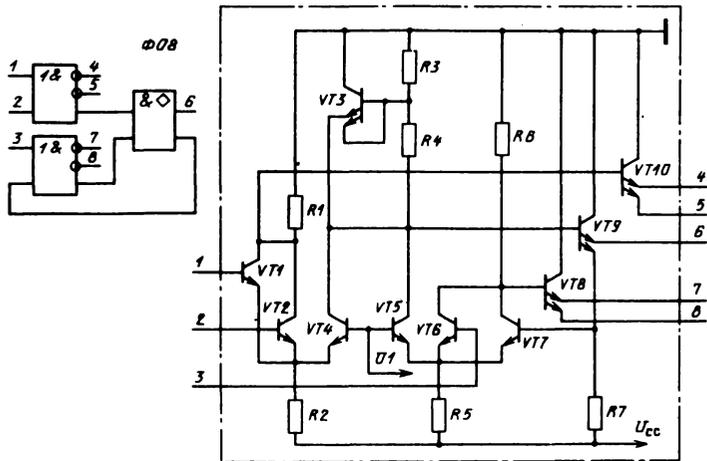
**Приложение 1. Принципиальные электрические схемы  
и условные графические обозначения  
библиотечных ФЯ БМК типа К1521ХМ1**



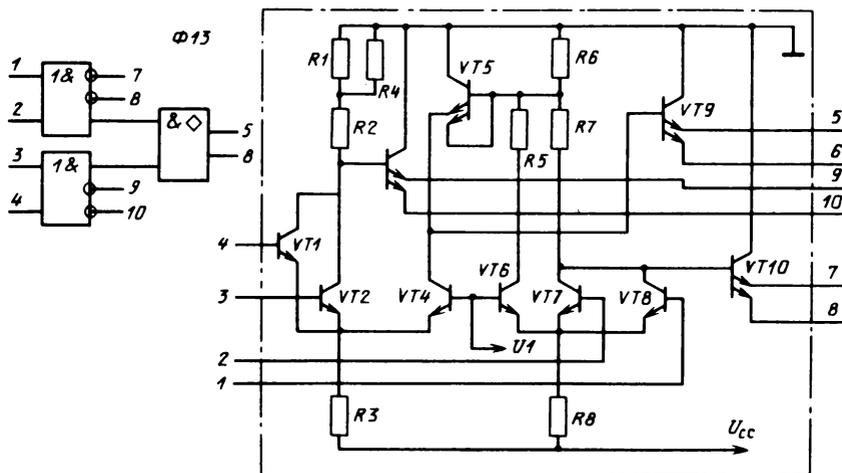


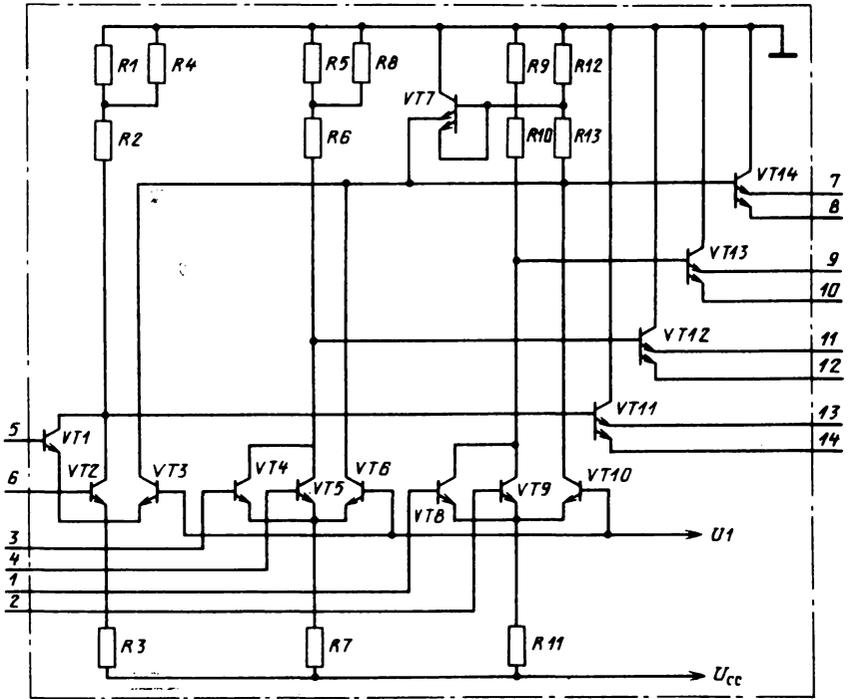
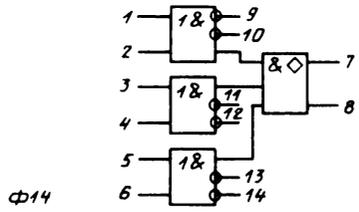


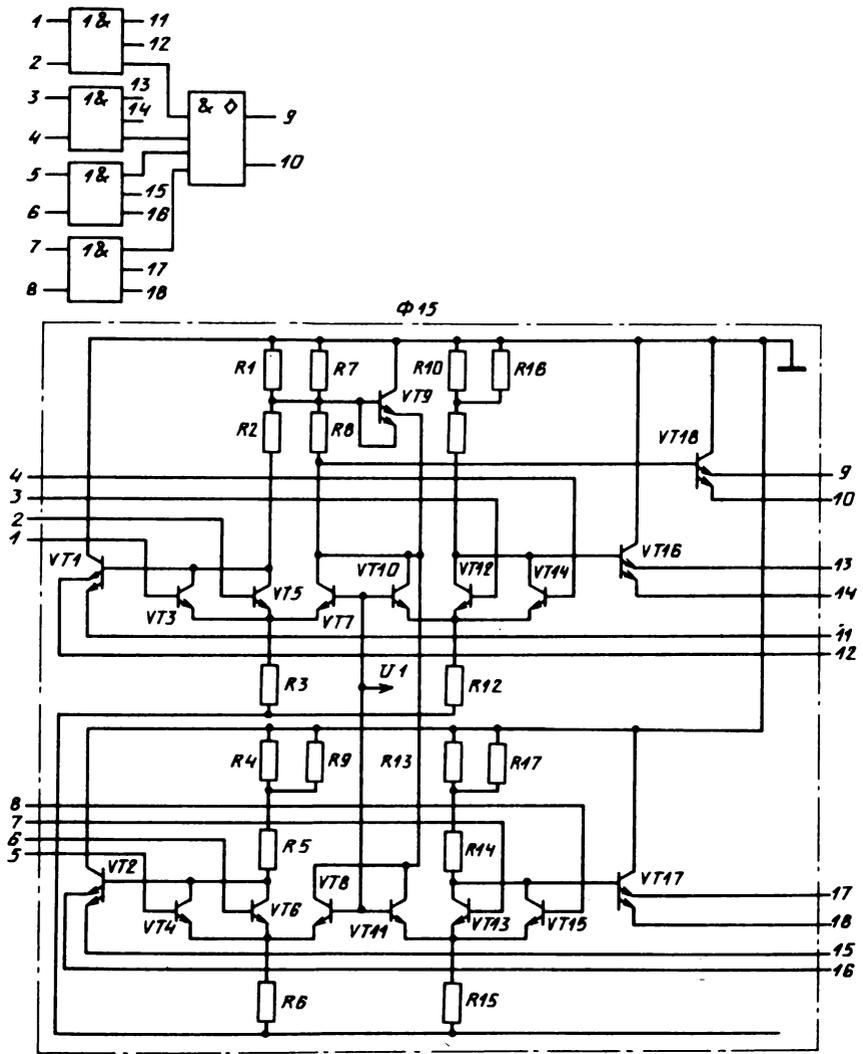


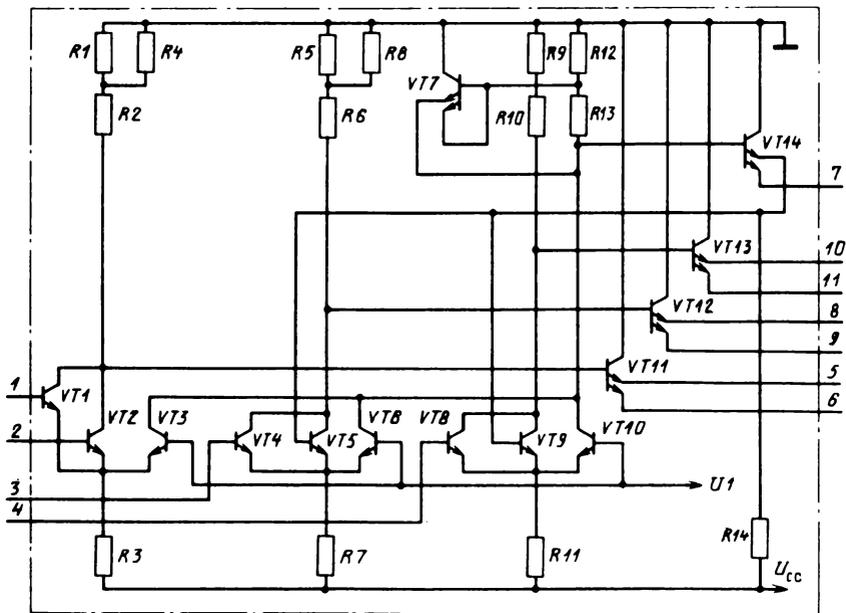
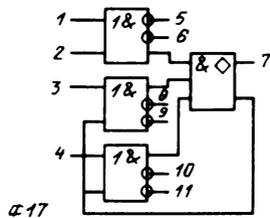
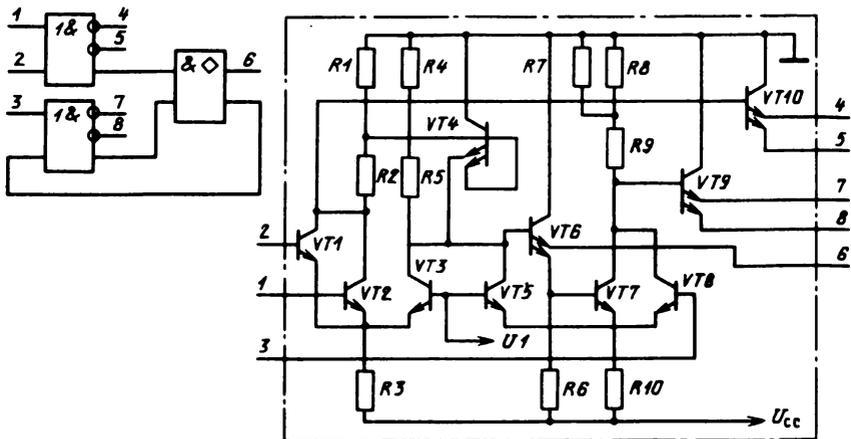


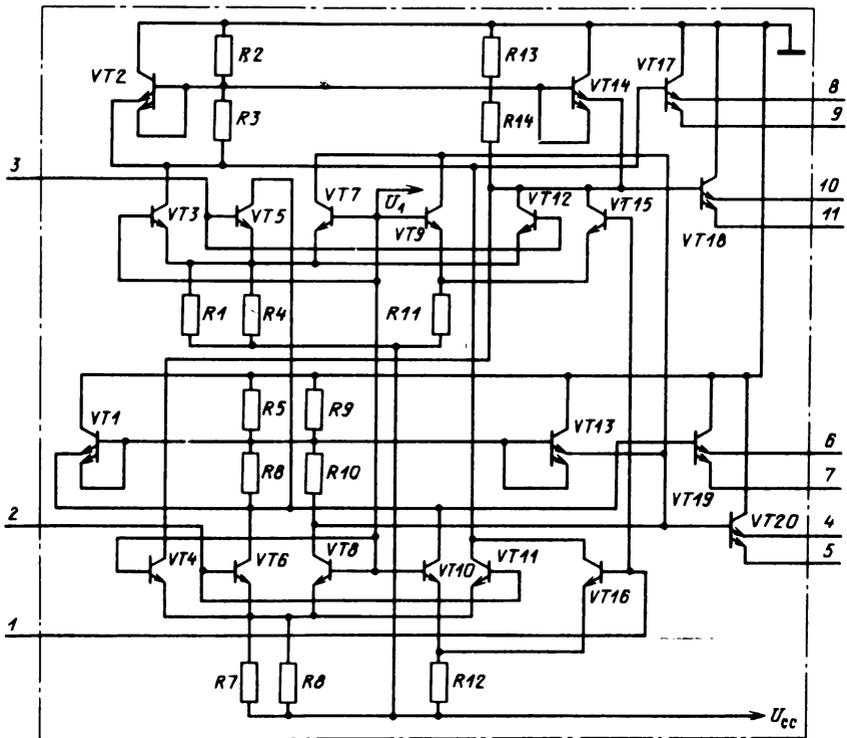
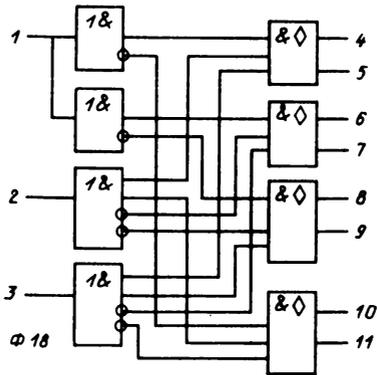
**Приложение 2. Принципиальные электрические схемы  
и условные графические обозначения  
библиотечных ФЯ БМК типа К1520ХМ1**

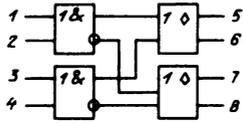




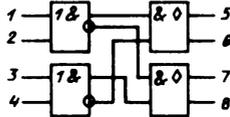
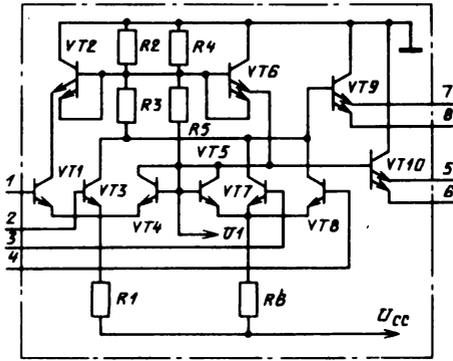




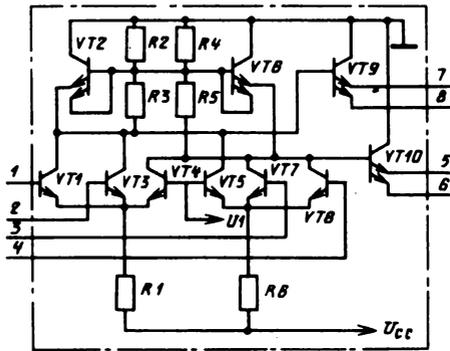




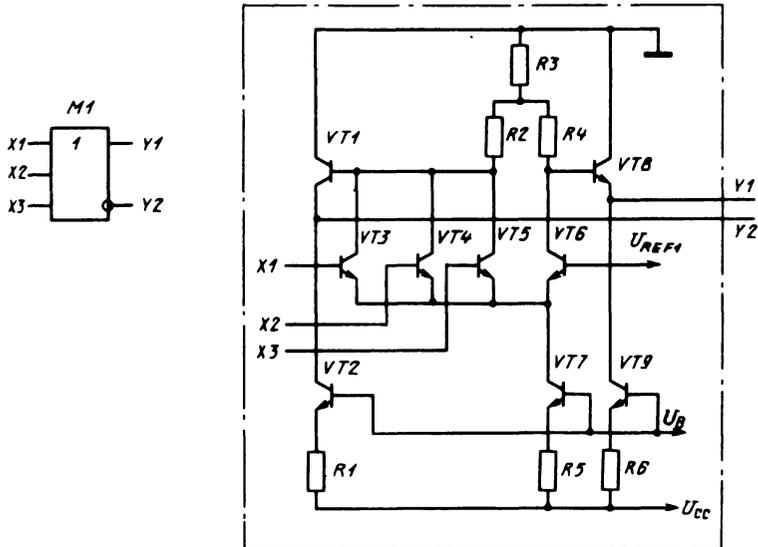
Φ19

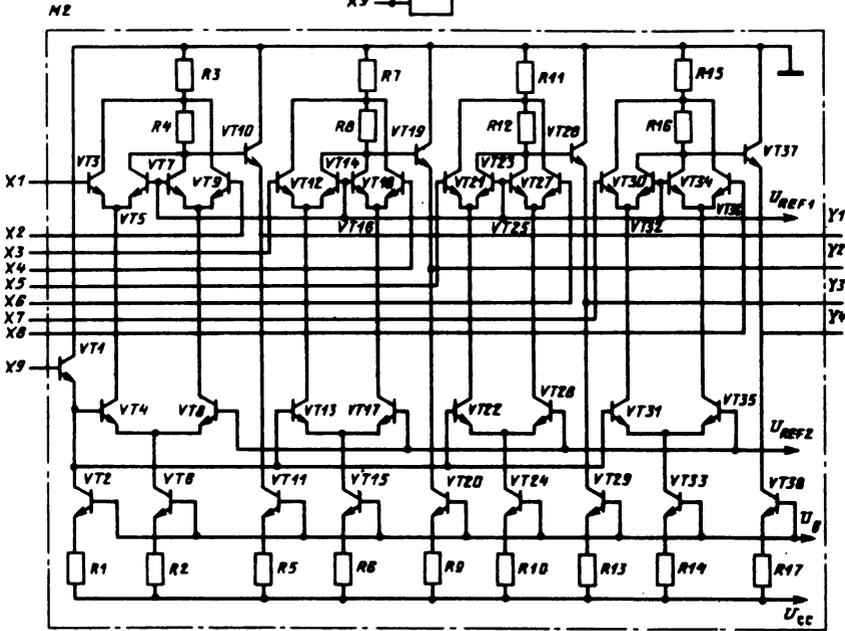
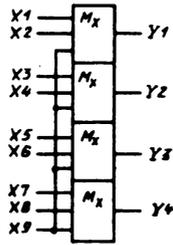


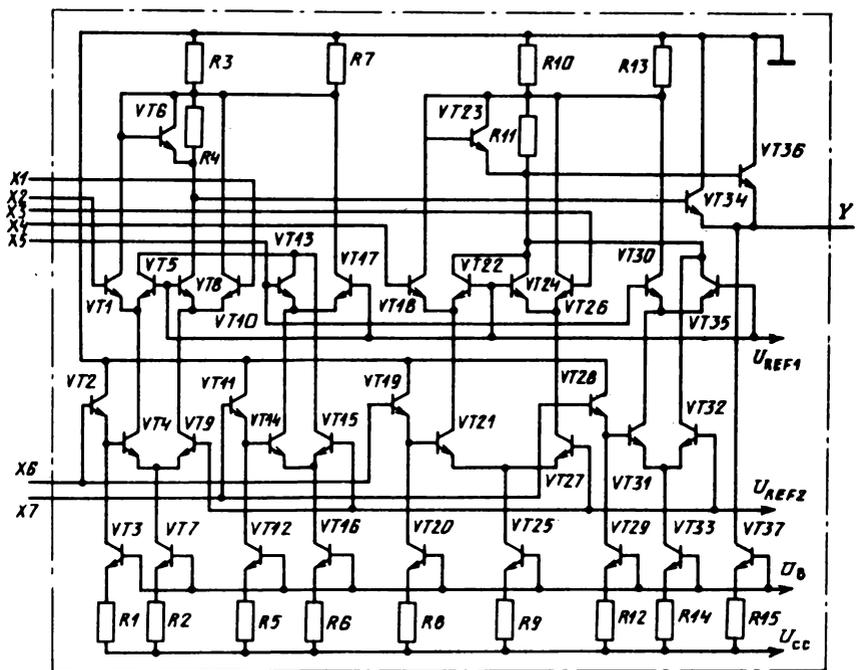
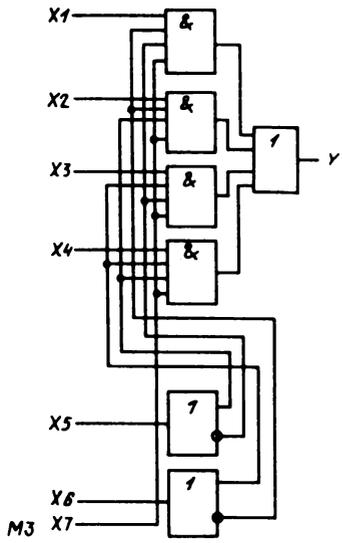
Φ20

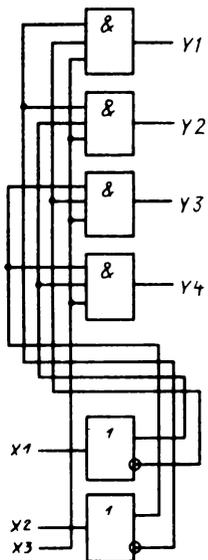


**Приложение 3. Принципиальные электрические схемы  
и условные графические обозначения  
библиотечных ФЯ БМК типа К1520ХМ2**

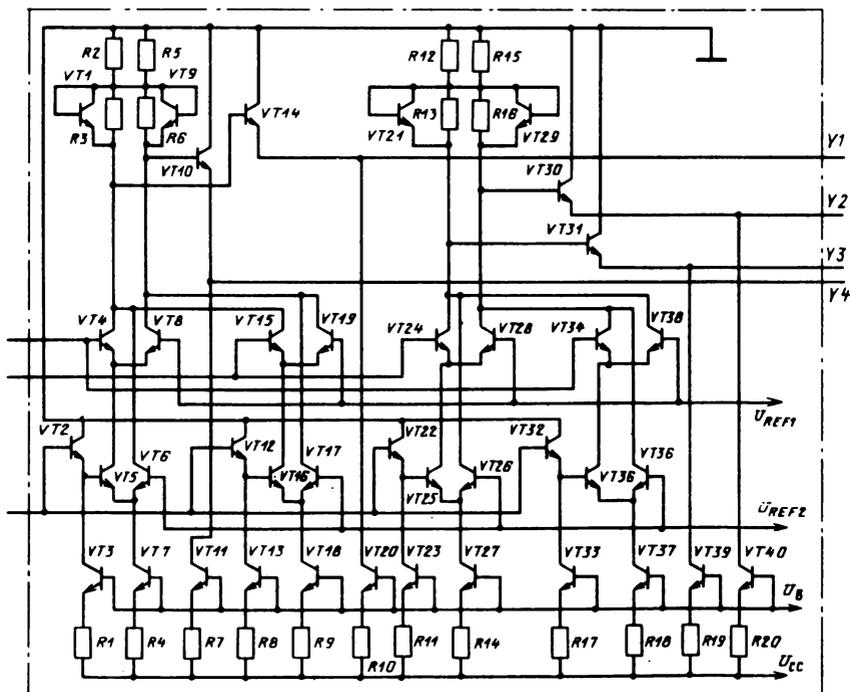


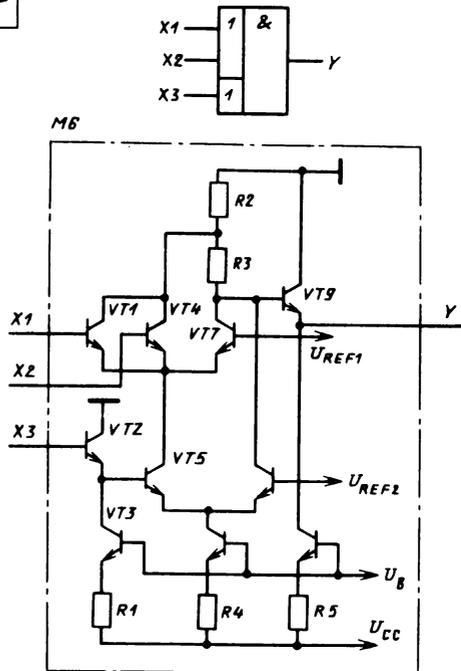
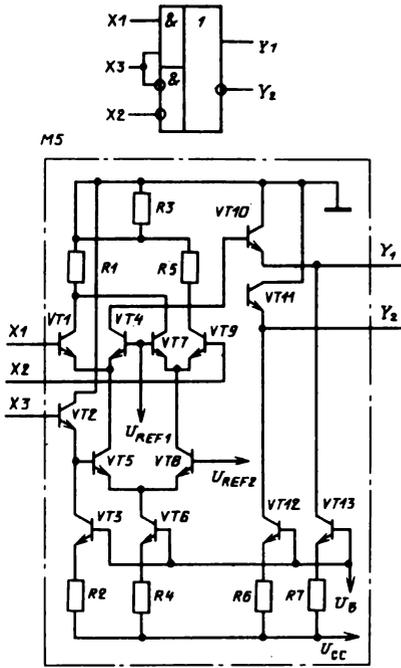


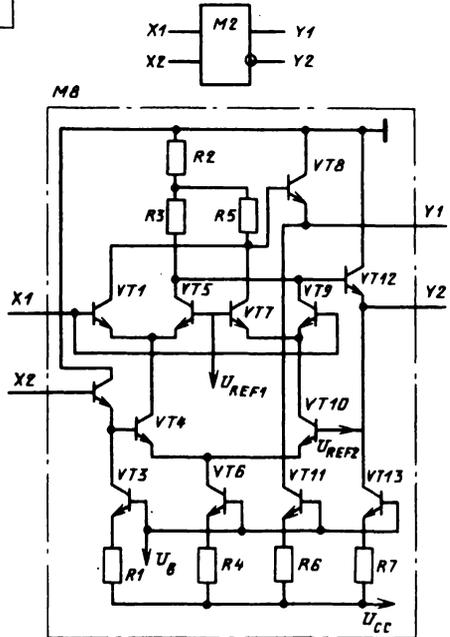
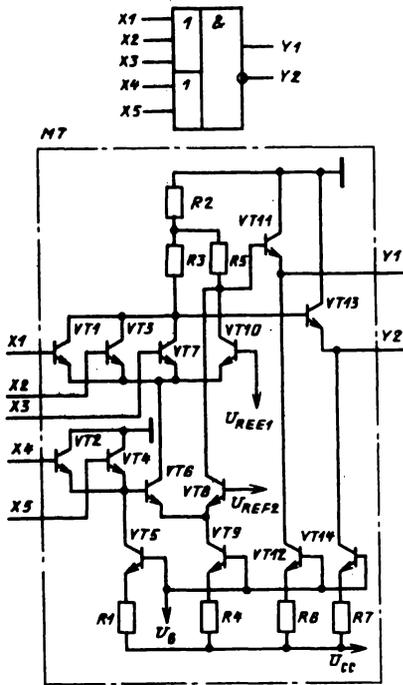


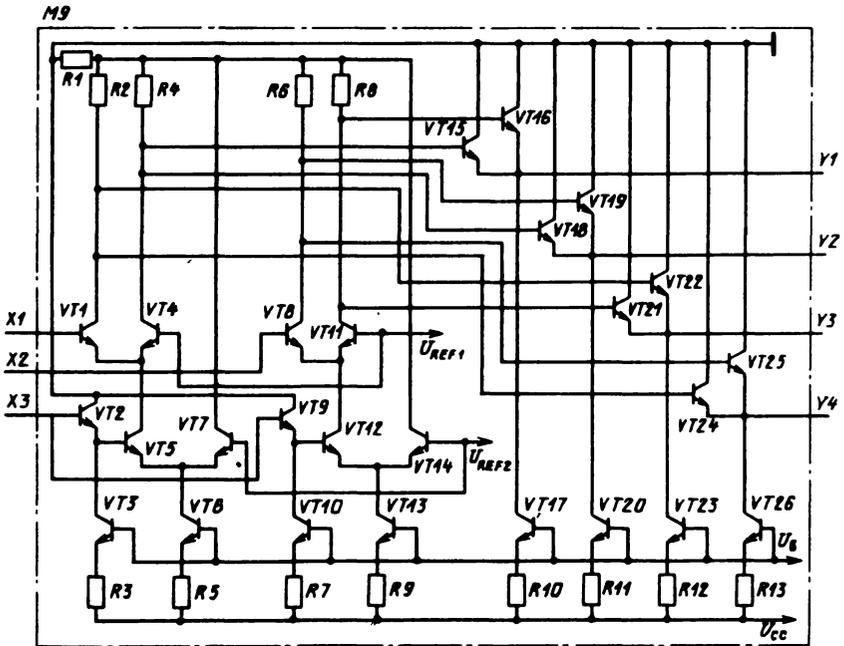
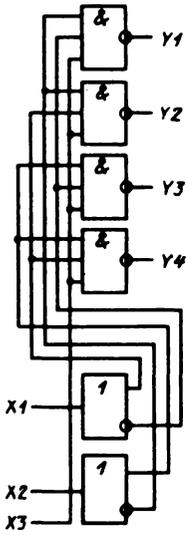


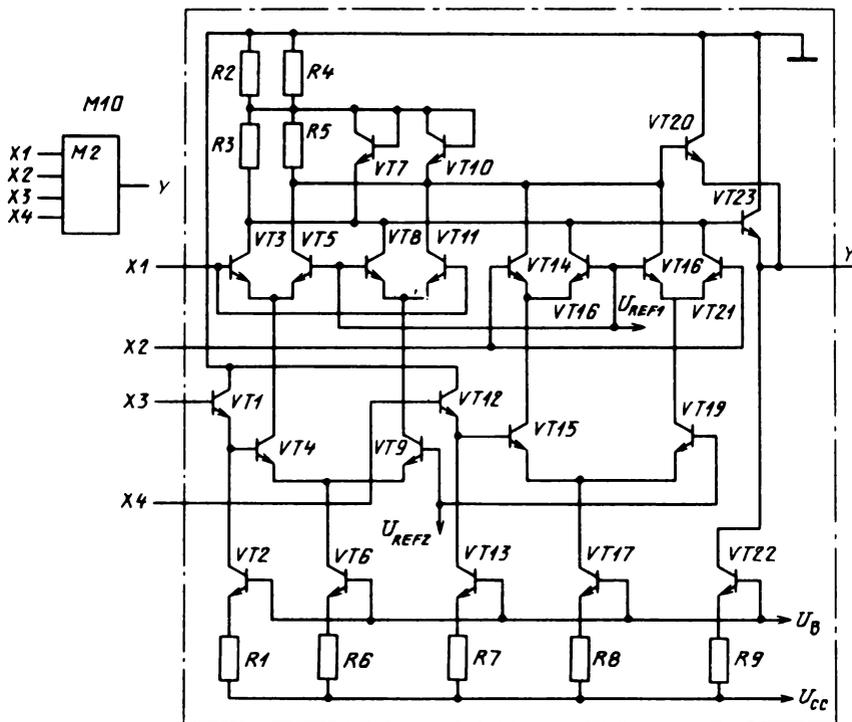
M4

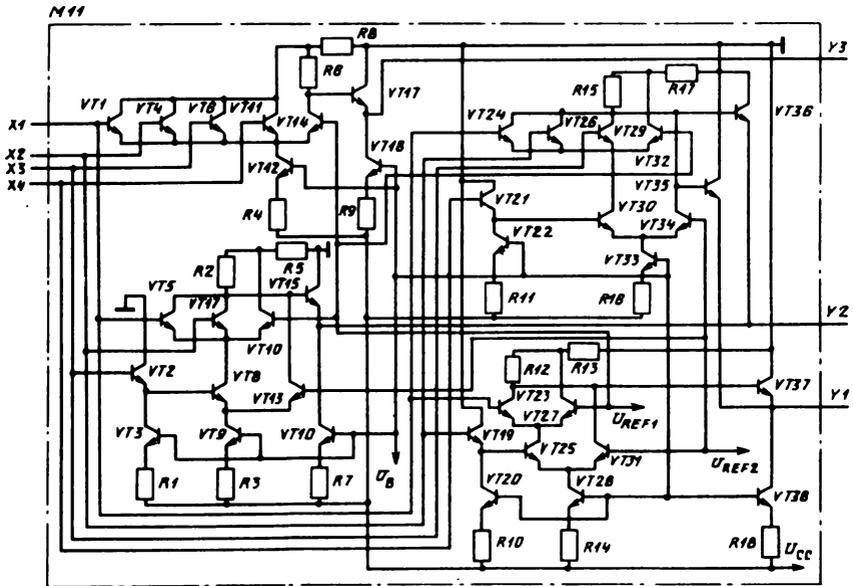
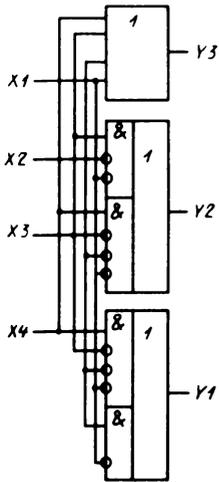


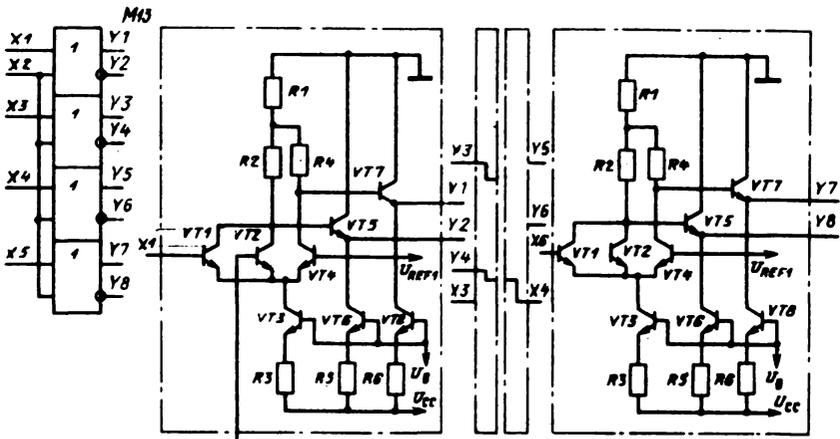
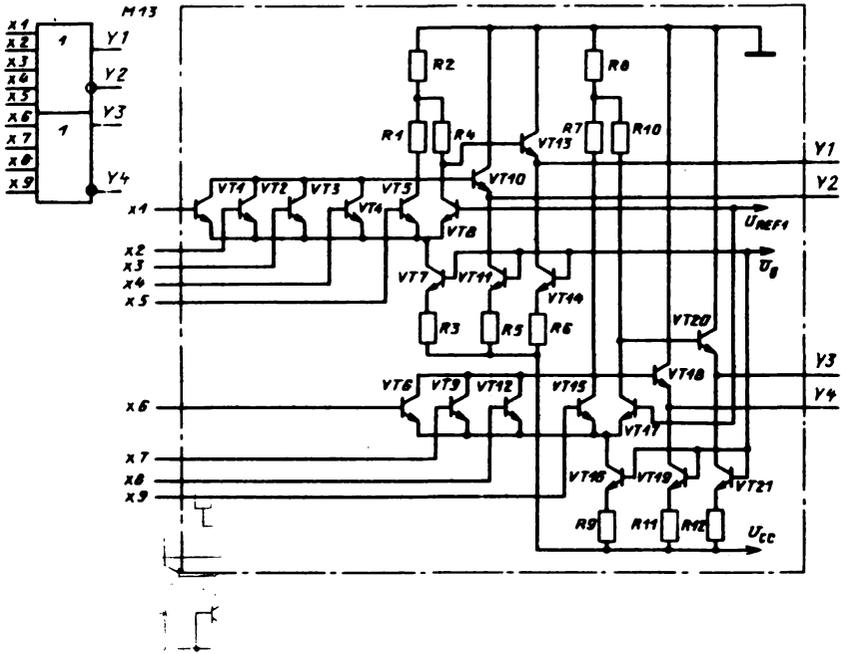


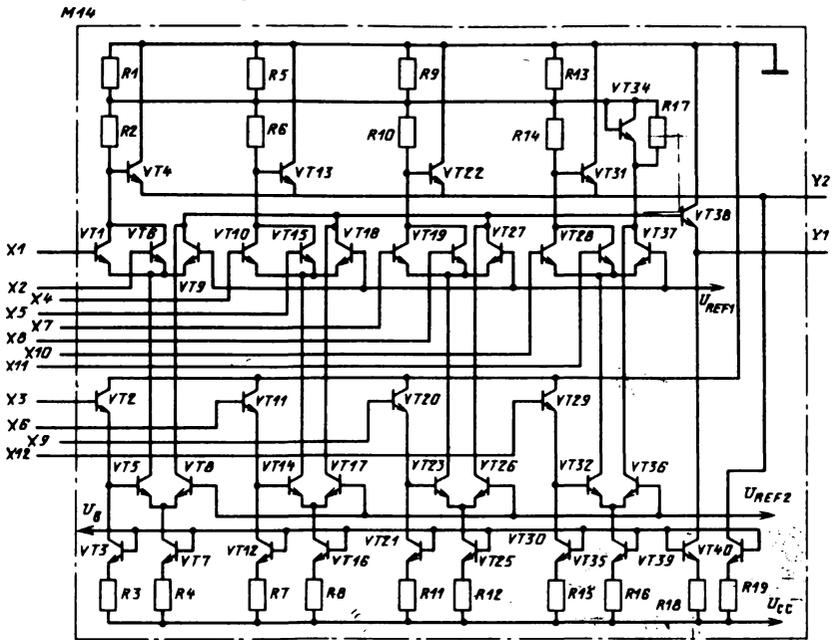
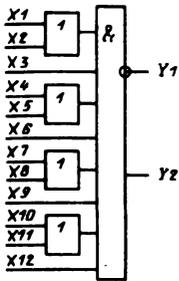


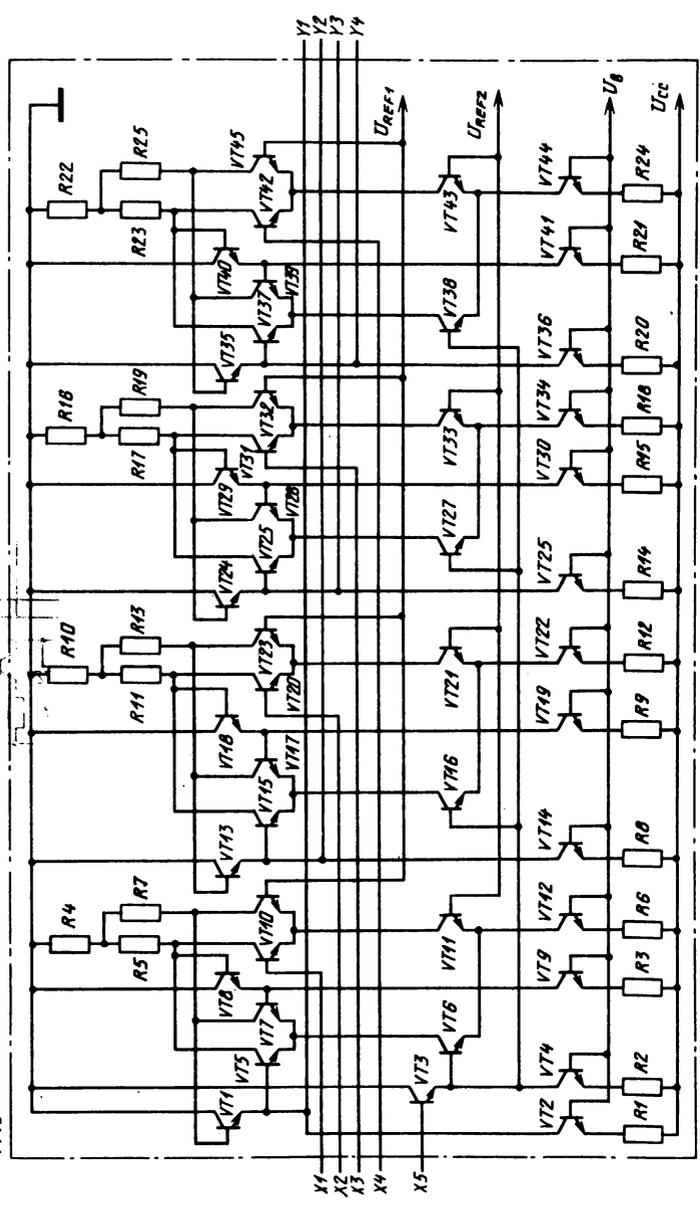
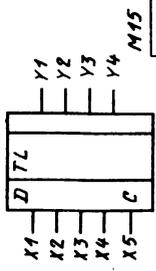


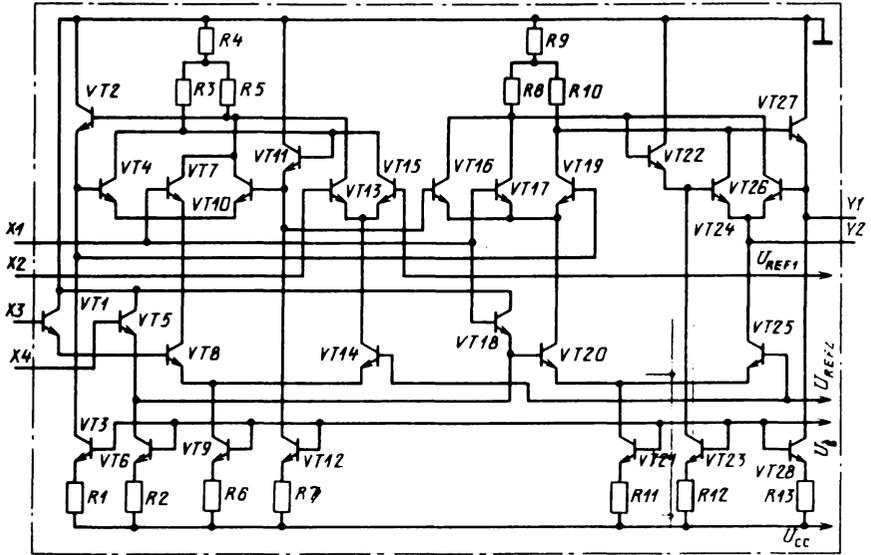
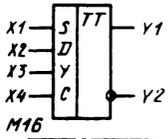




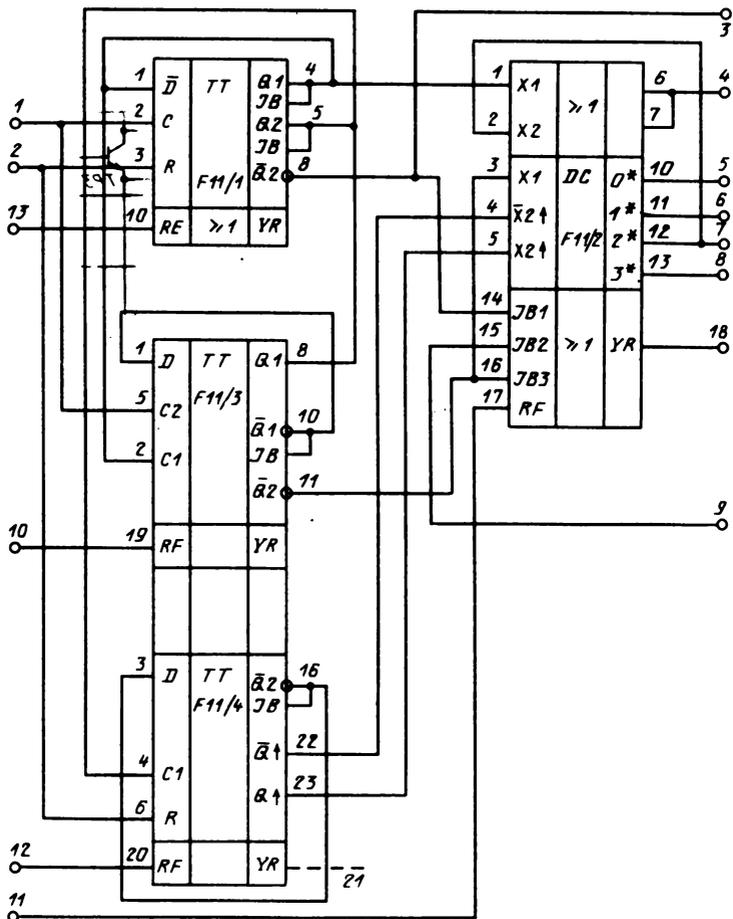


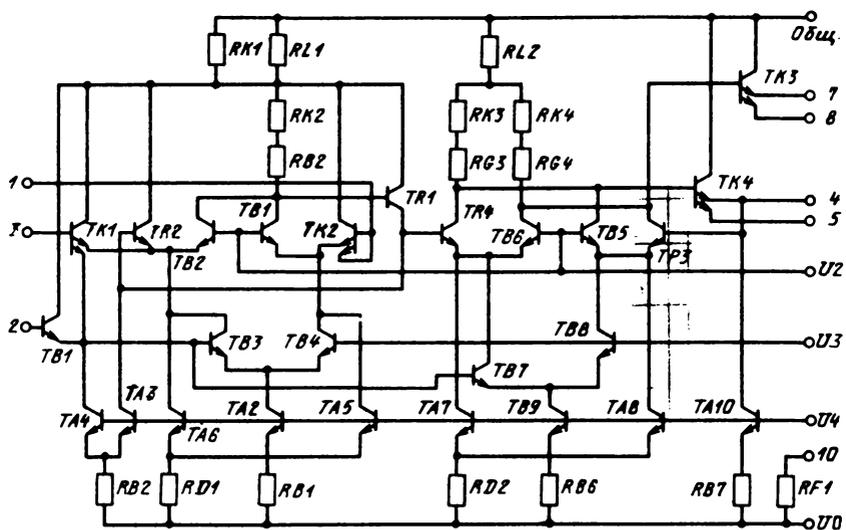


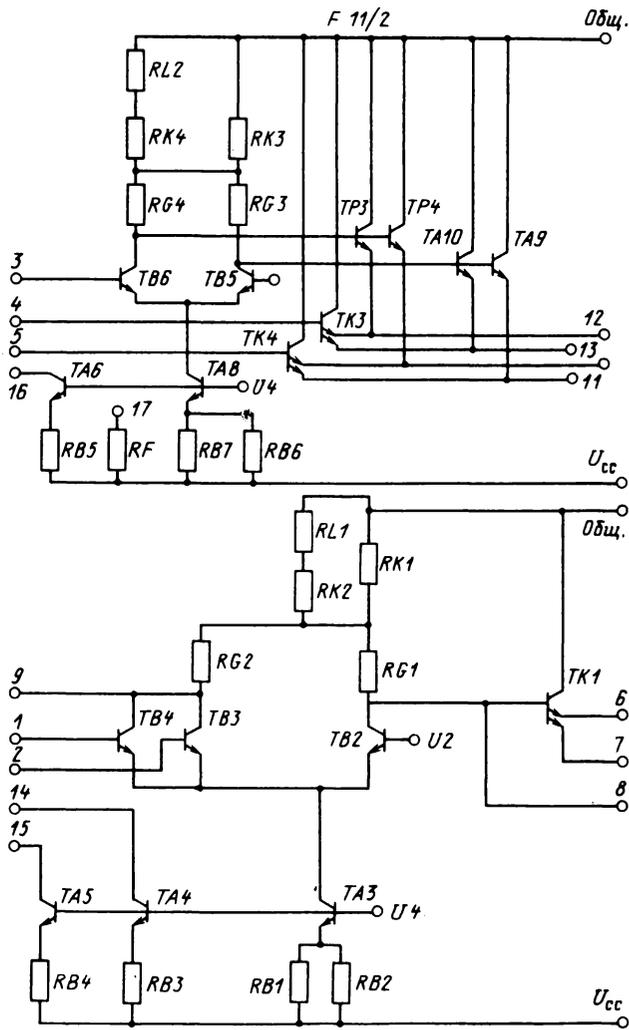


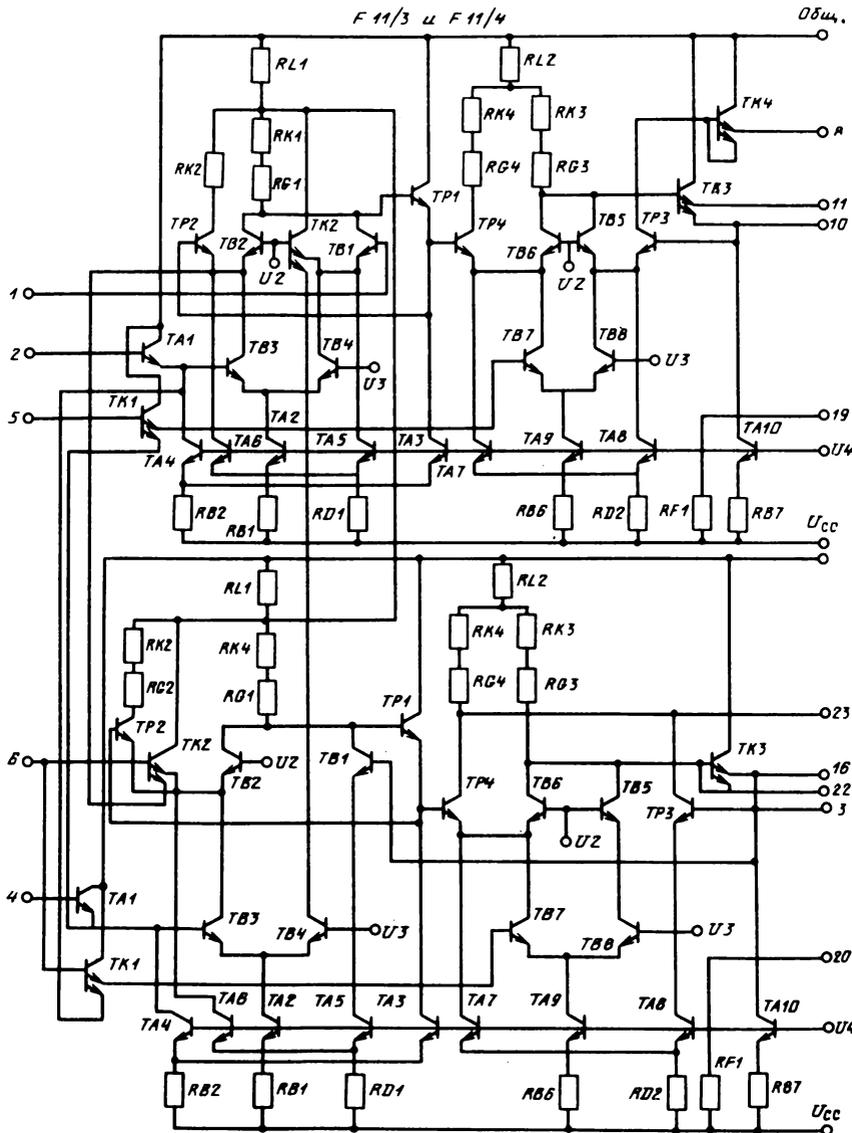


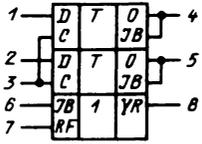
**Приложение 4. Принципиальные электрические схемы и условные графические обозначения библиотечных ФЯ БМК типа К1572ХМ1**



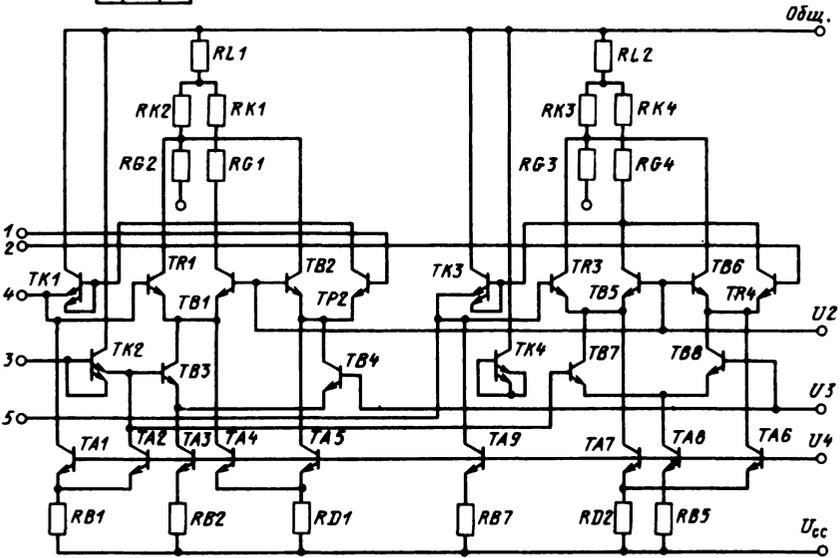


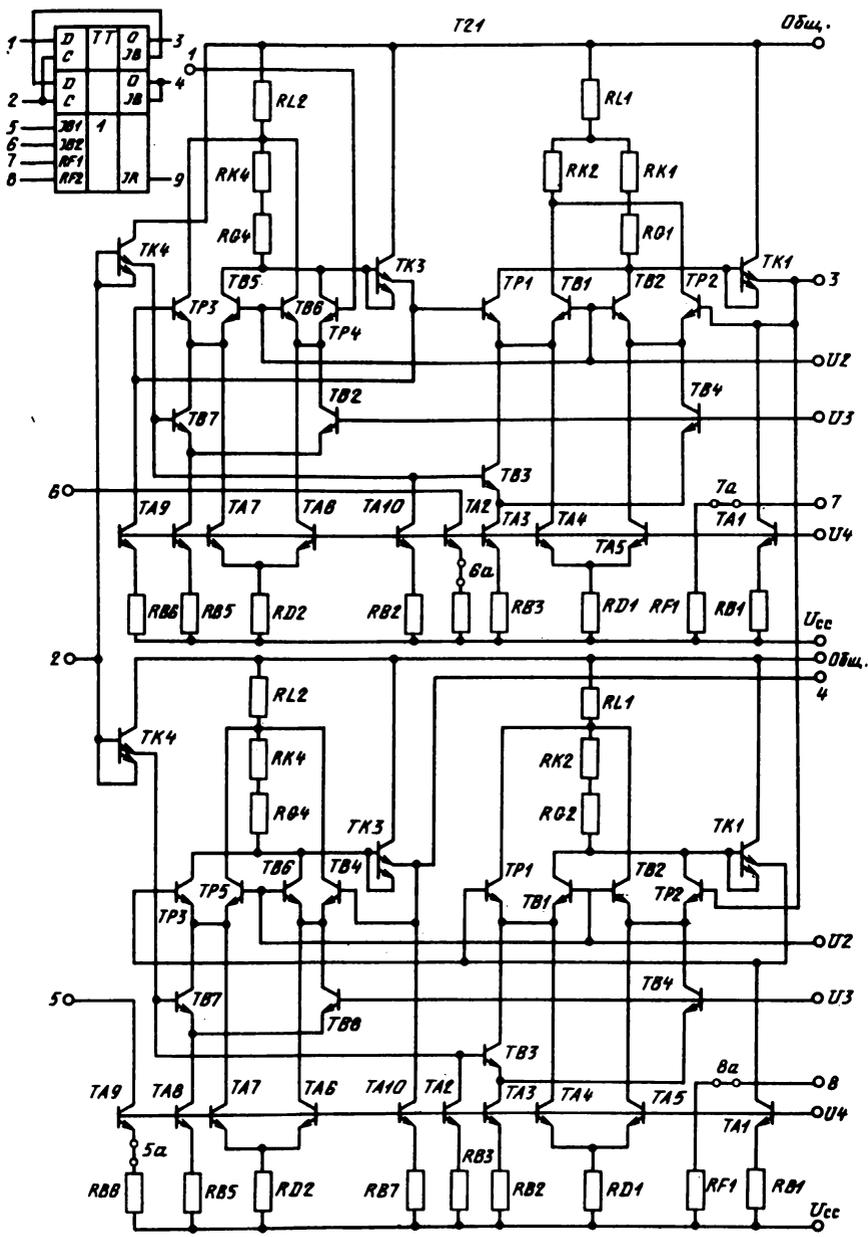


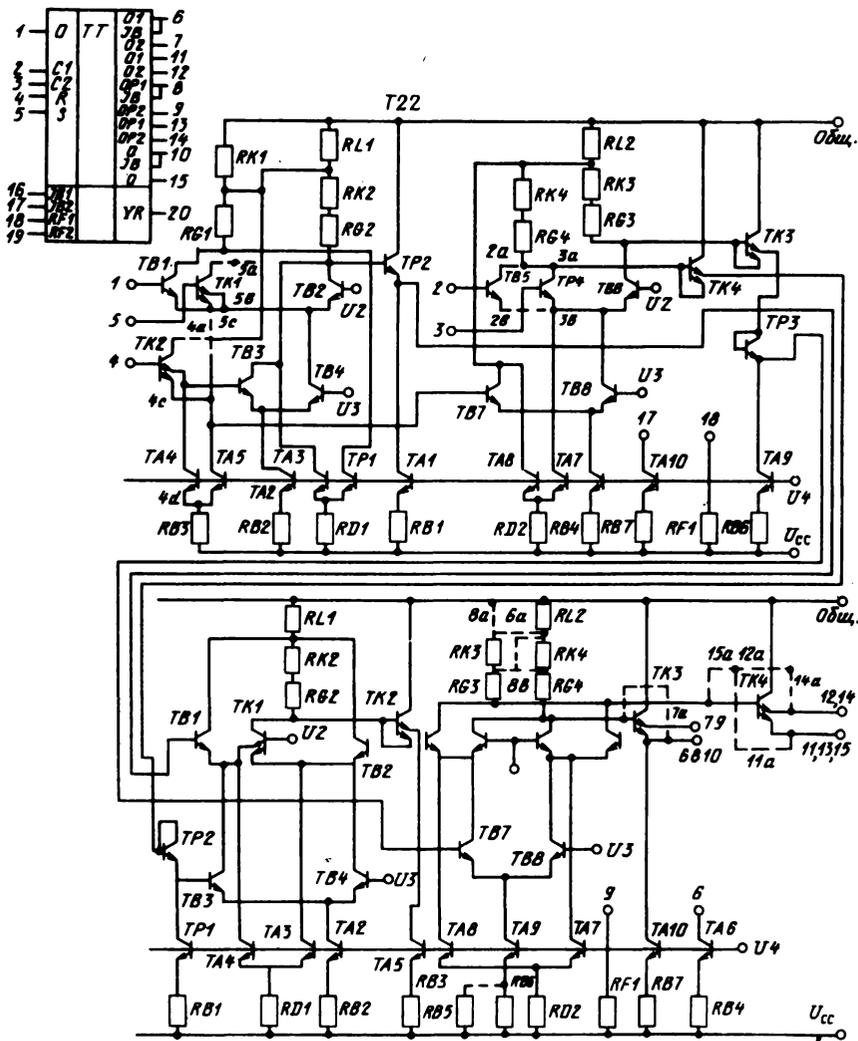


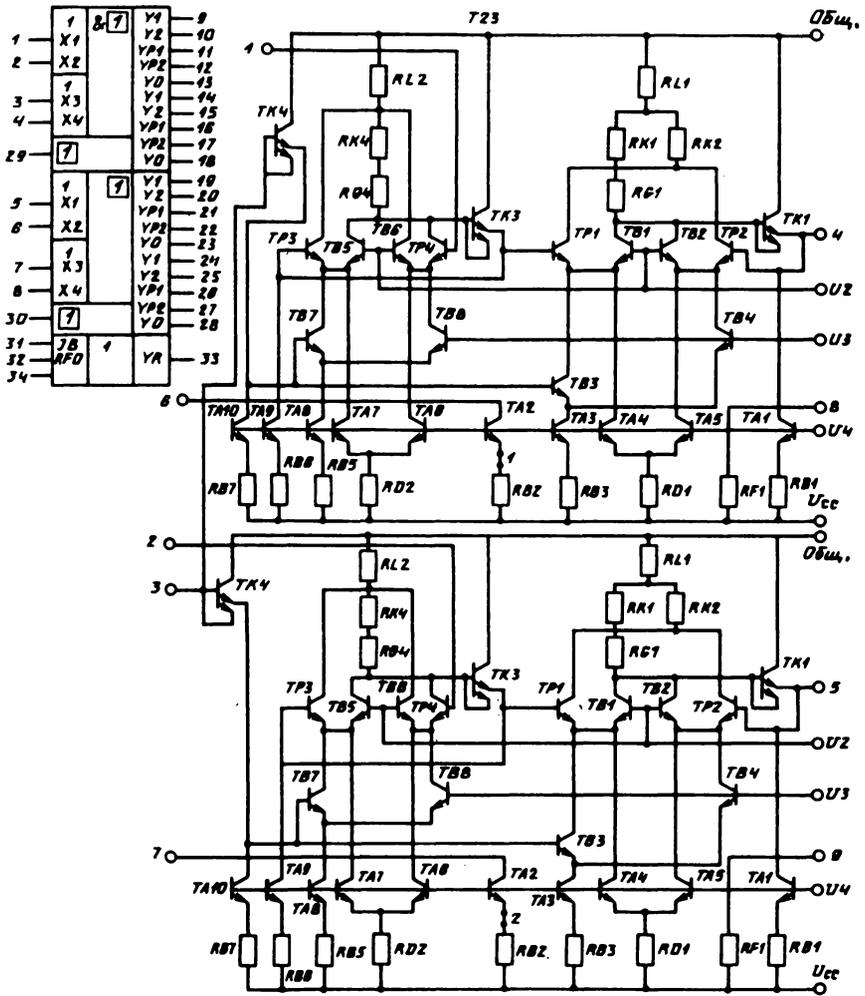


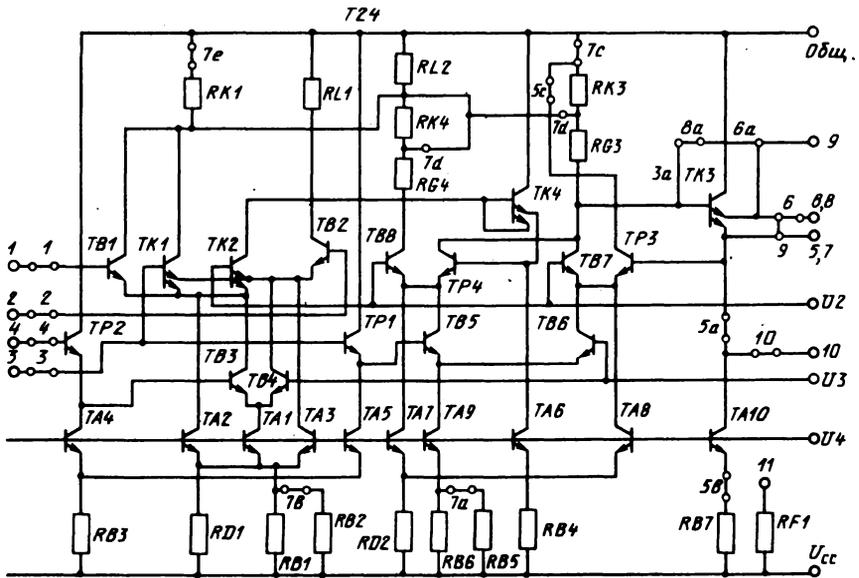
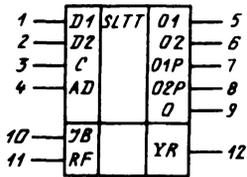
T20

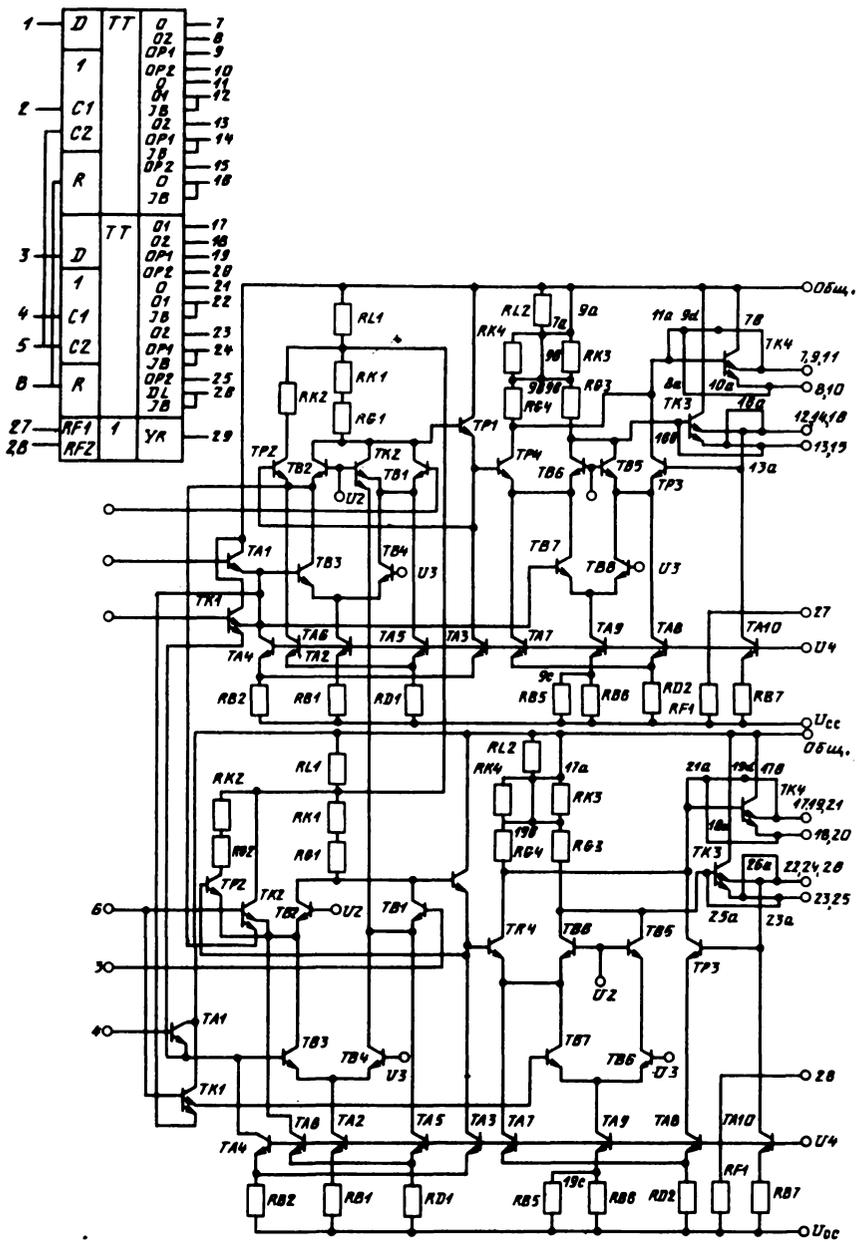


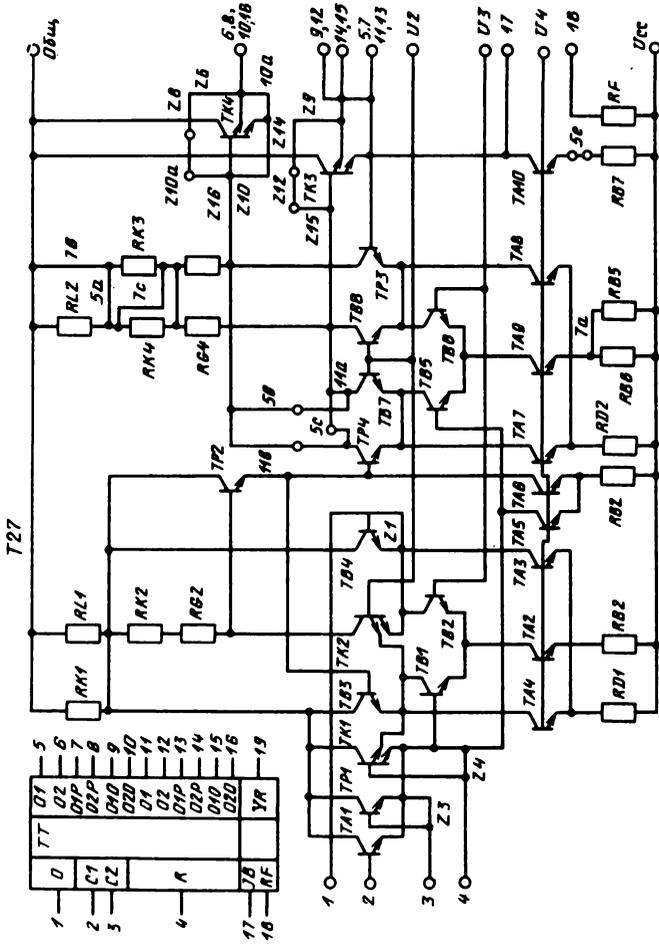


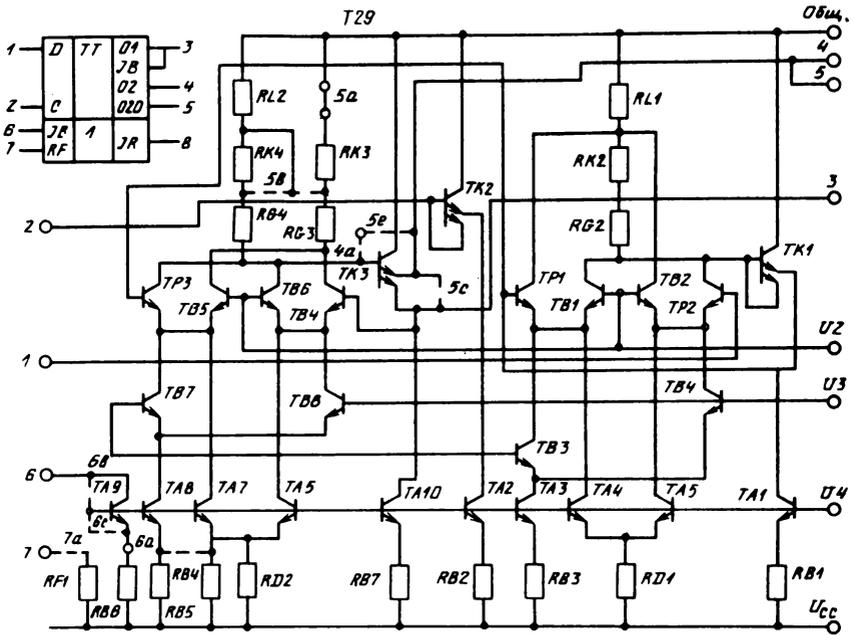


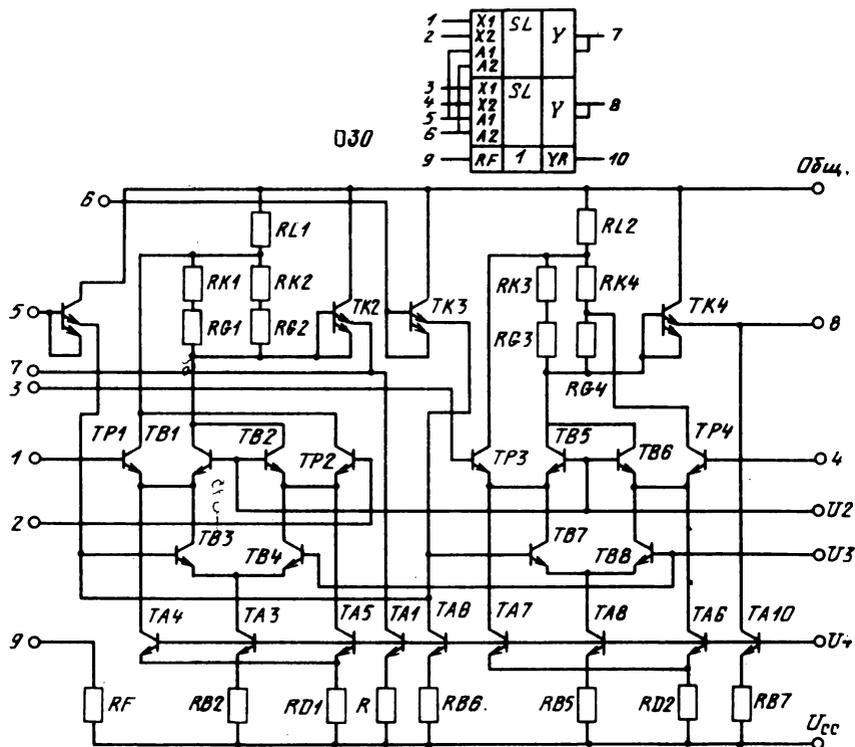


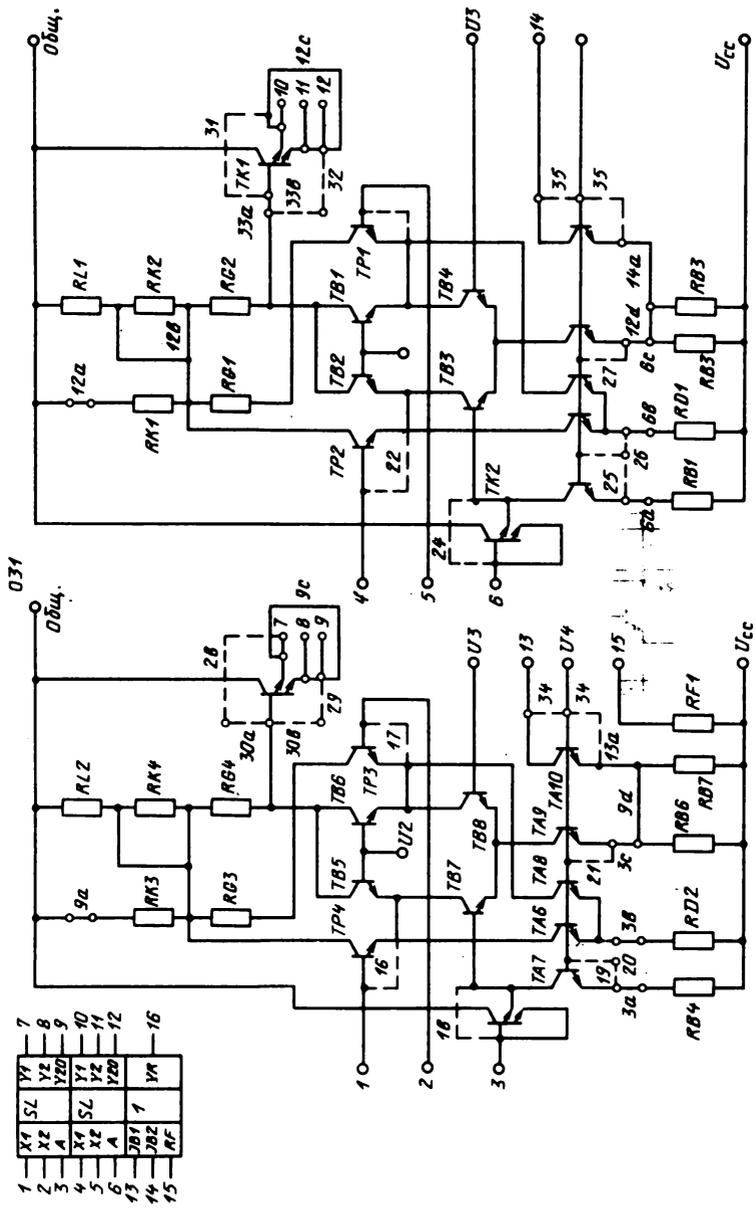




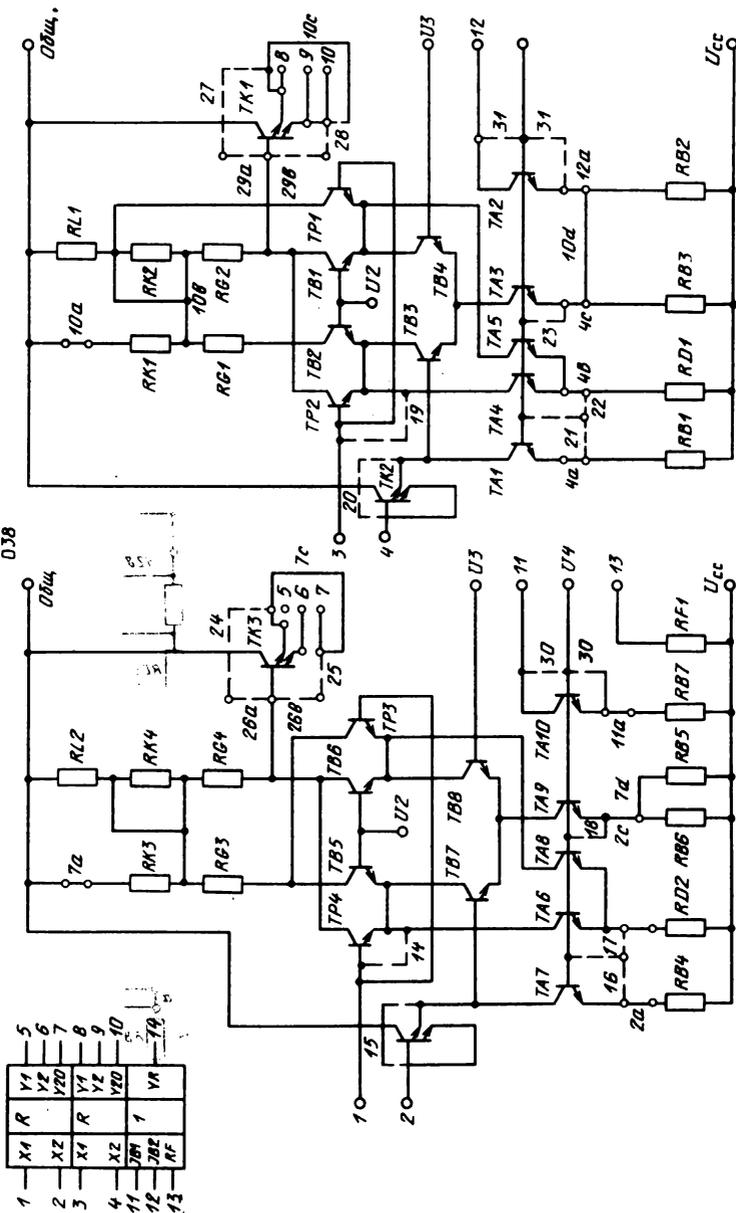


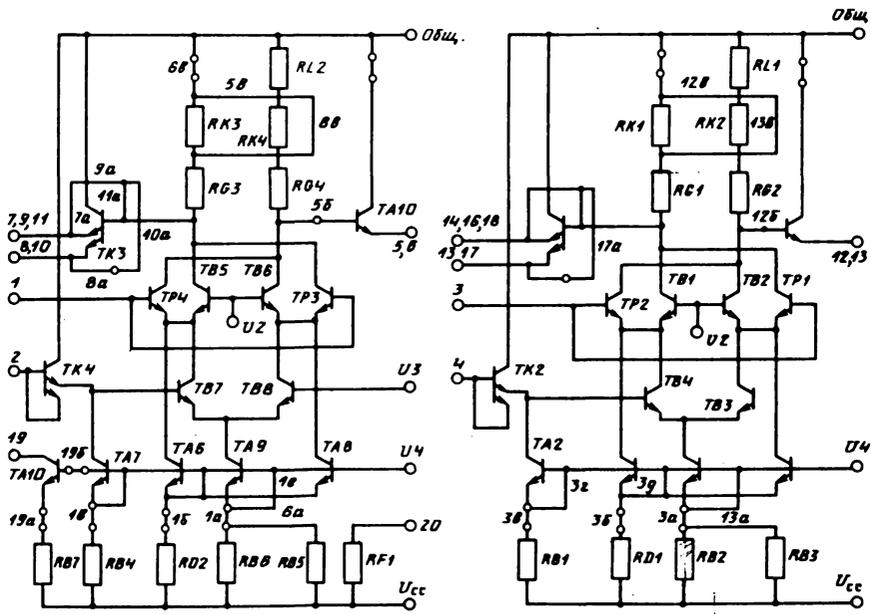
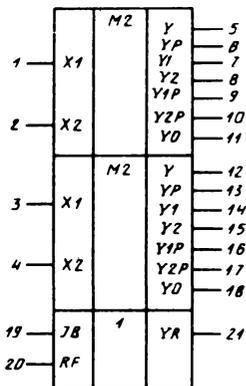


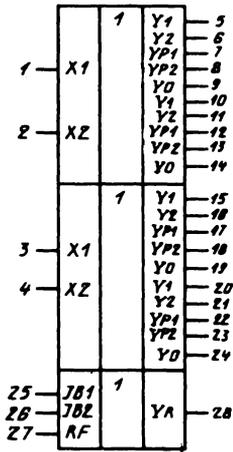




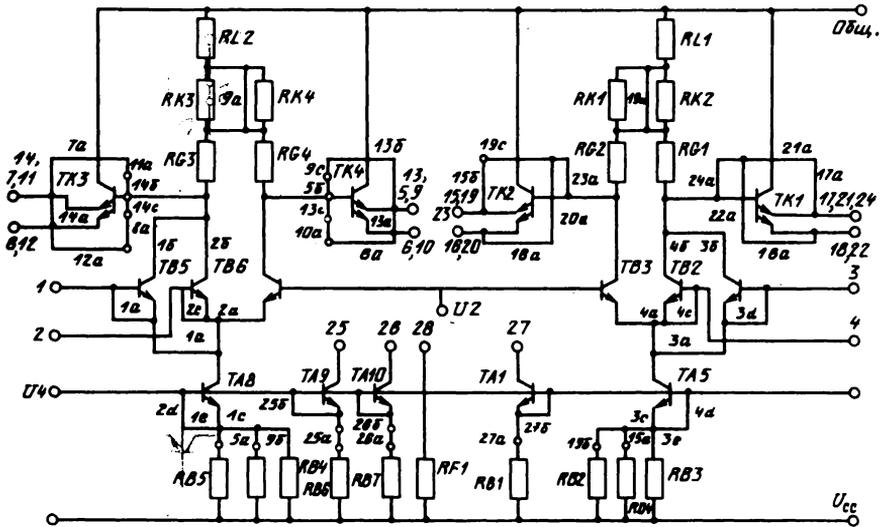
1	X1	SL	Y1	7
2	X2	SL	Y2	8
3	A		Y20	9
4	X1	SL	Y1	10
5	X2	SL	Y2	11
6	A		Y20	12
13	JB1	1	YR	16
14	JB2			
15	RF			







043

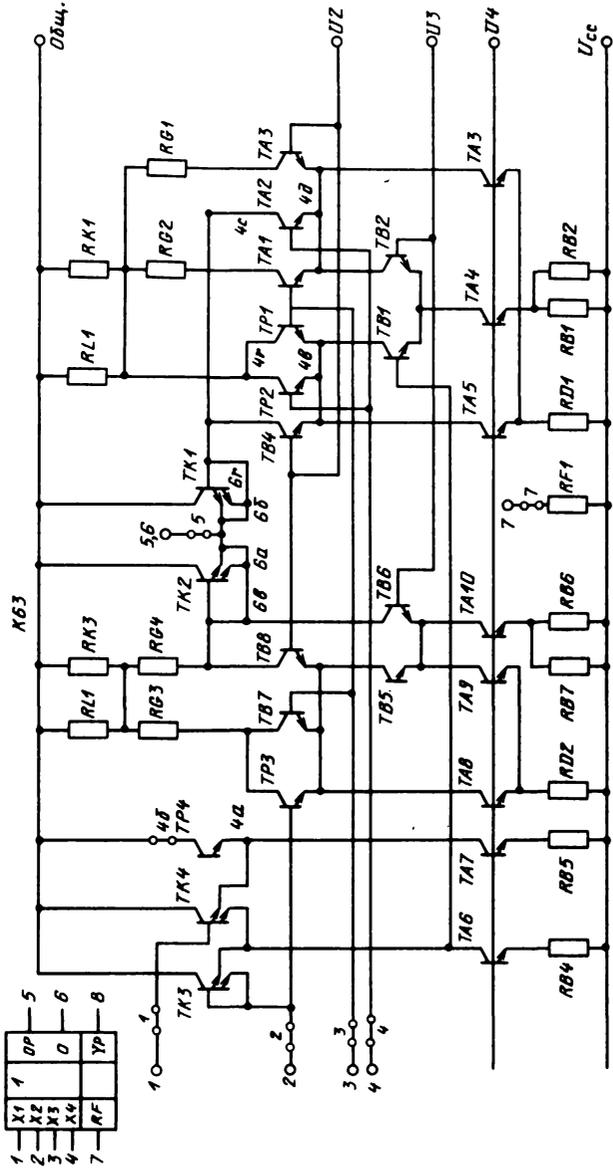




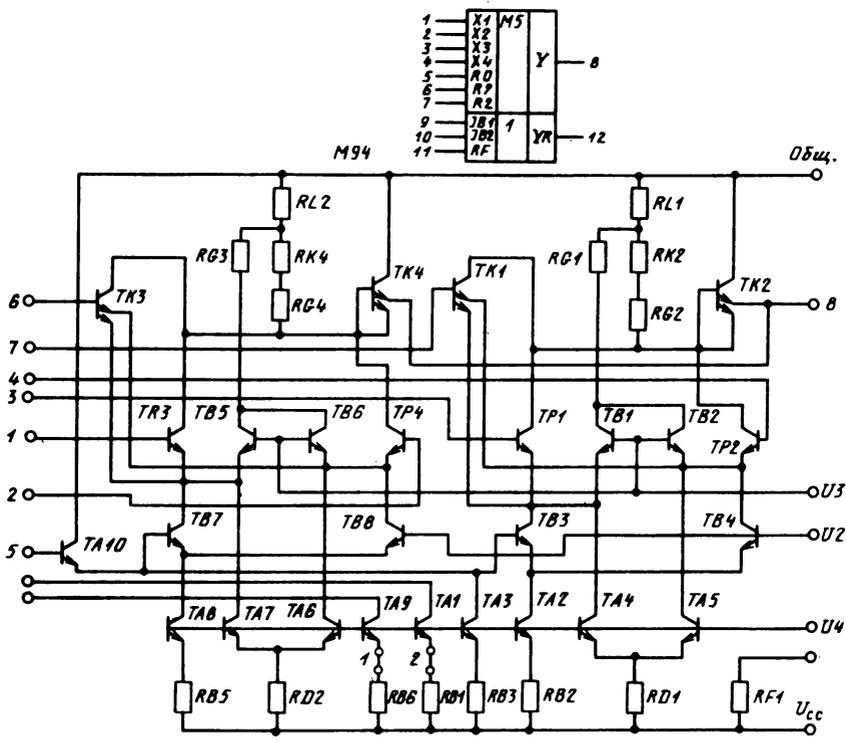


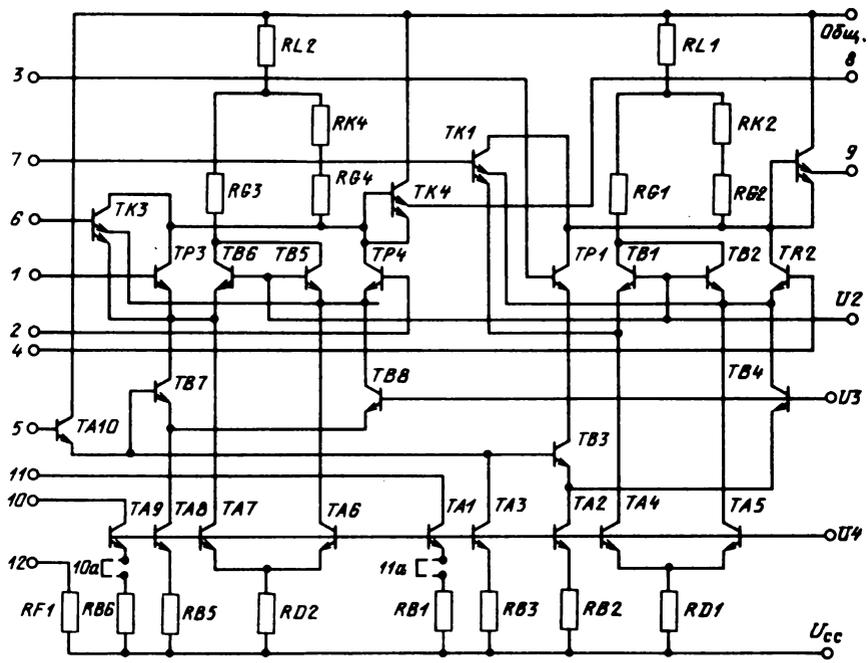
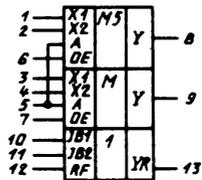




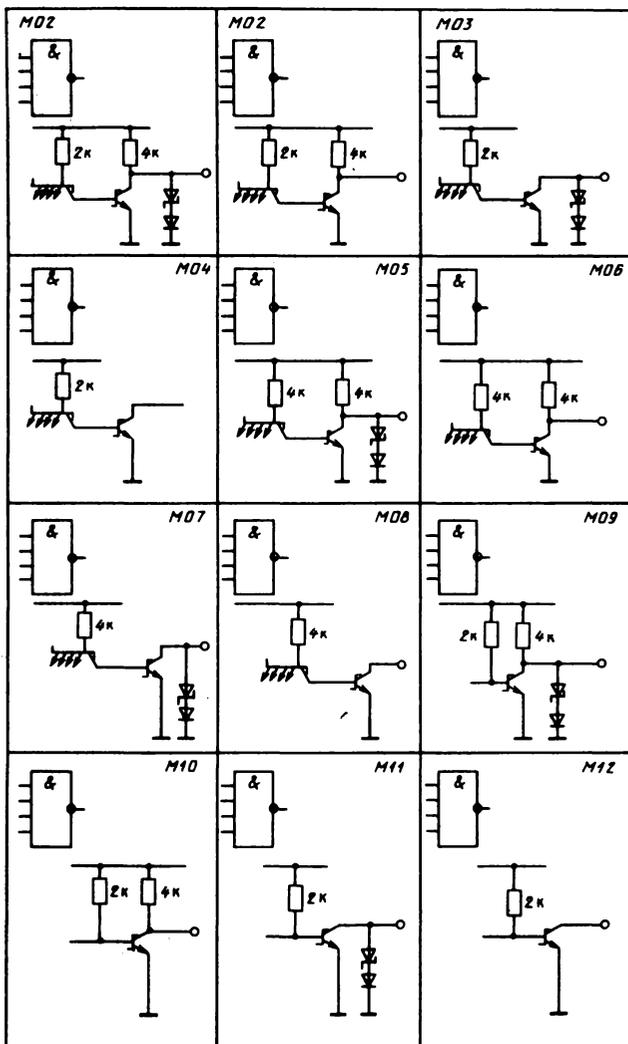


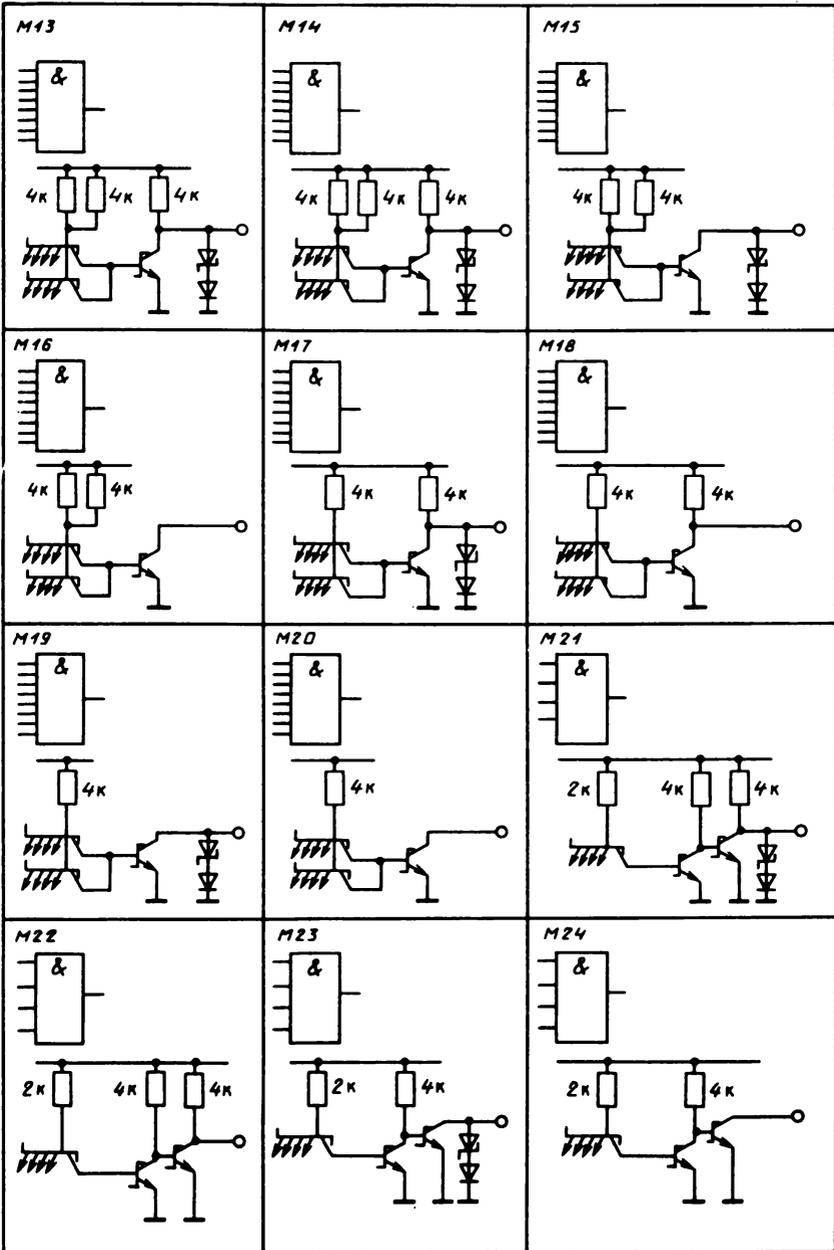
1	X1	1	OP	5
2	X2	2	0	6
3	X3	3	0	6
4	X4	4	TP	8
7	RF	7	TP	8

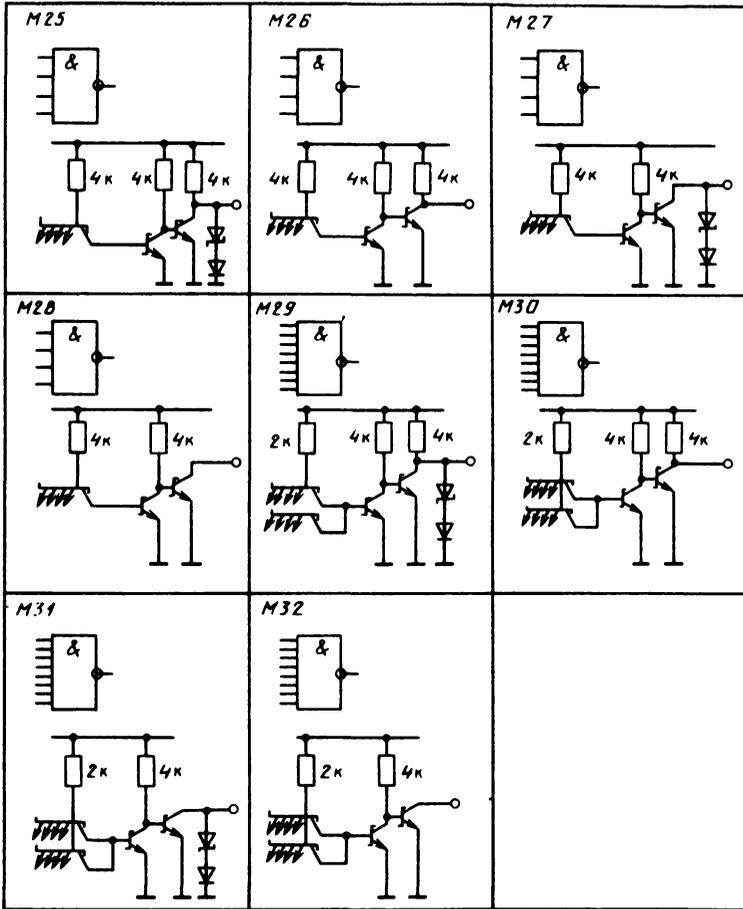


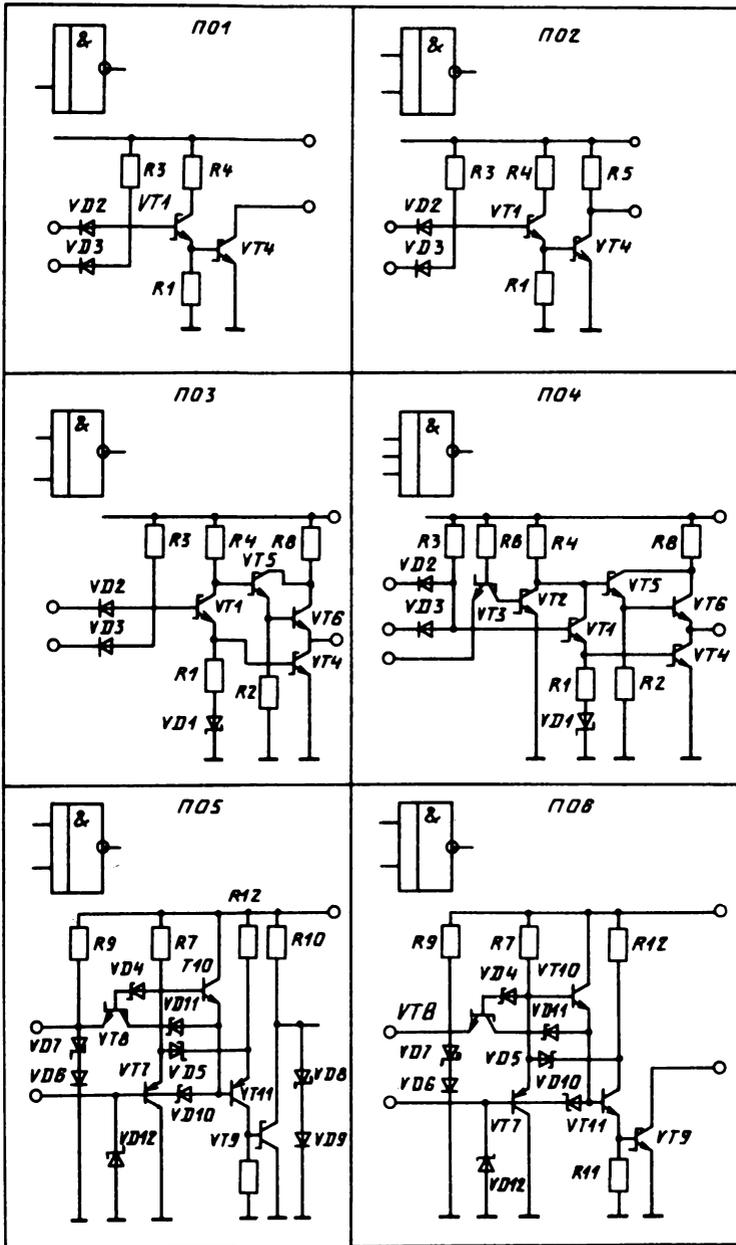


**Приложение 5. Принципиальные электрические схемы и условные графические обозначения библиотечных ФЯ БМК типа К1527ХМ1**

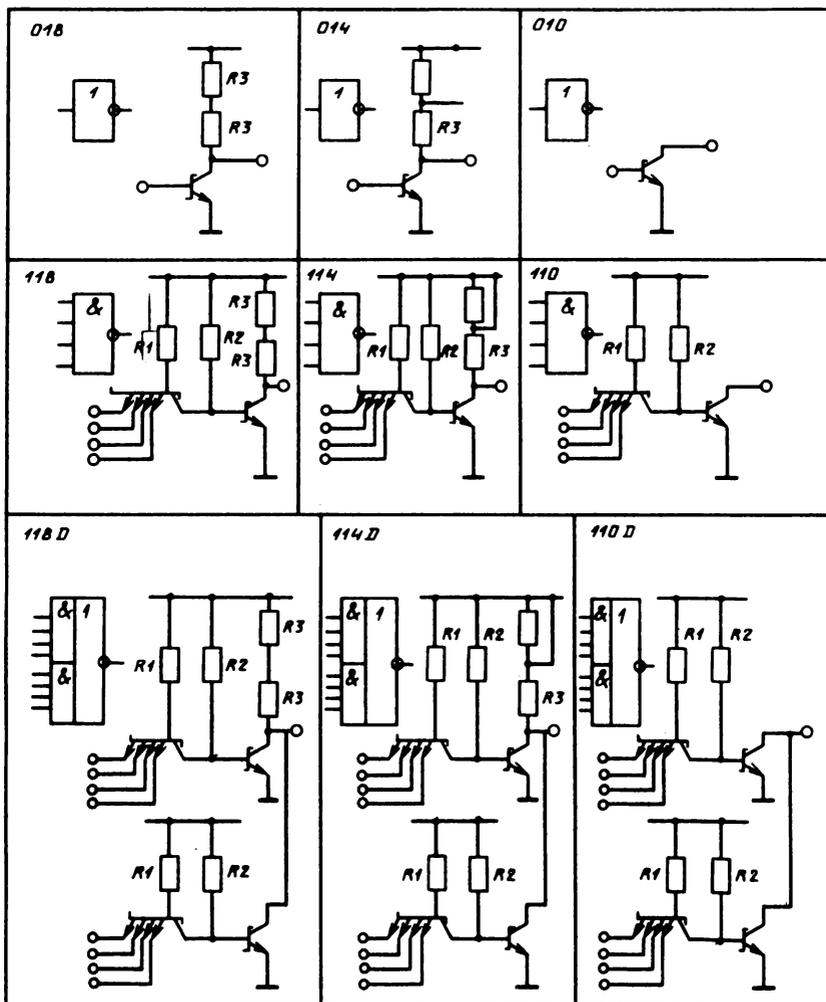


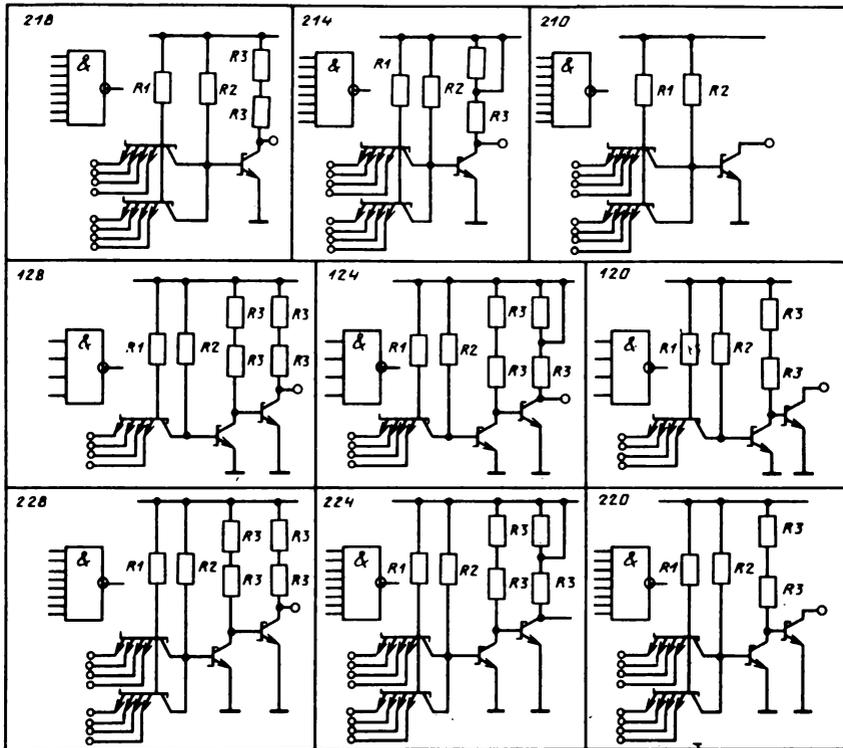


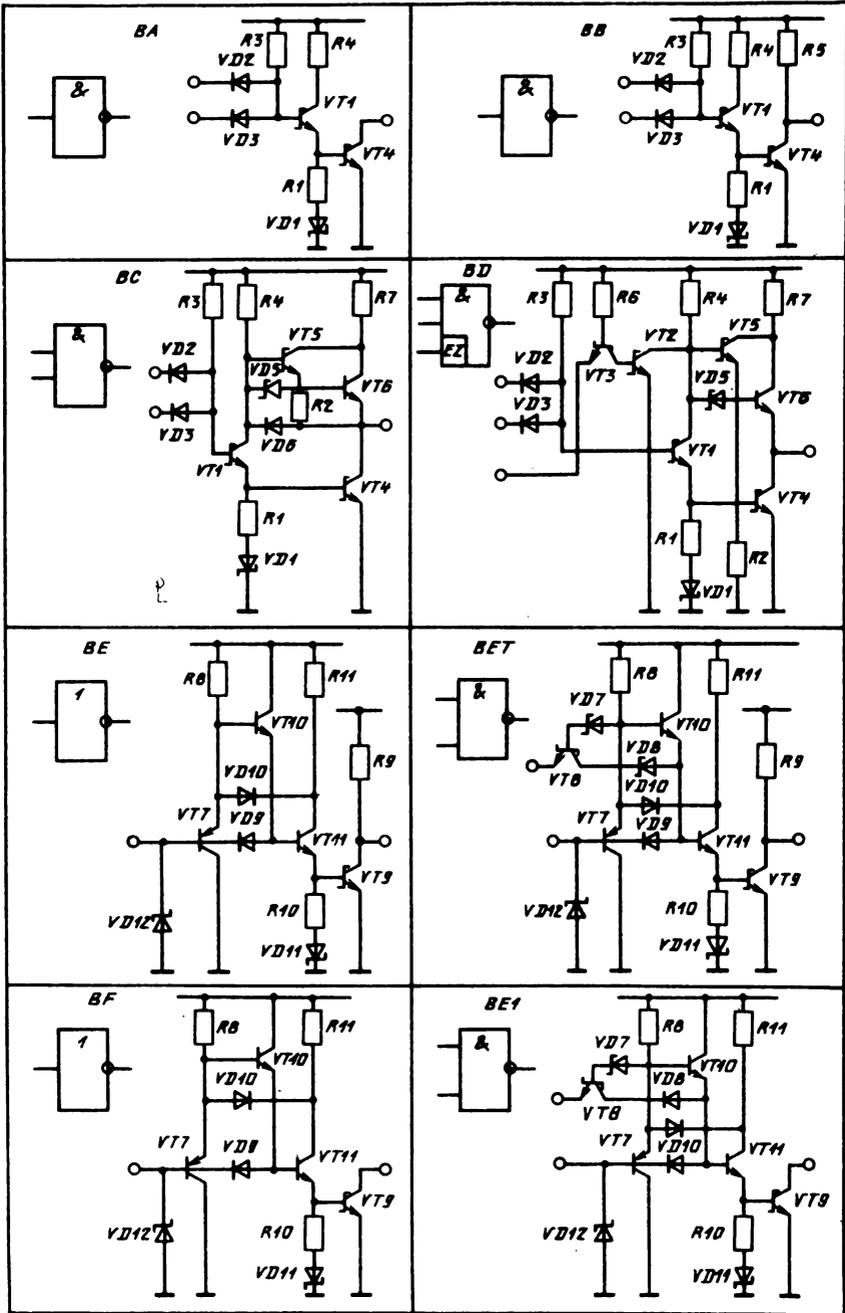




**Приложение 6. Принципиальные электрические схемы  
и условные графические обозначения  
библиотечных ФЯ БМК типа К1548ХМ1**

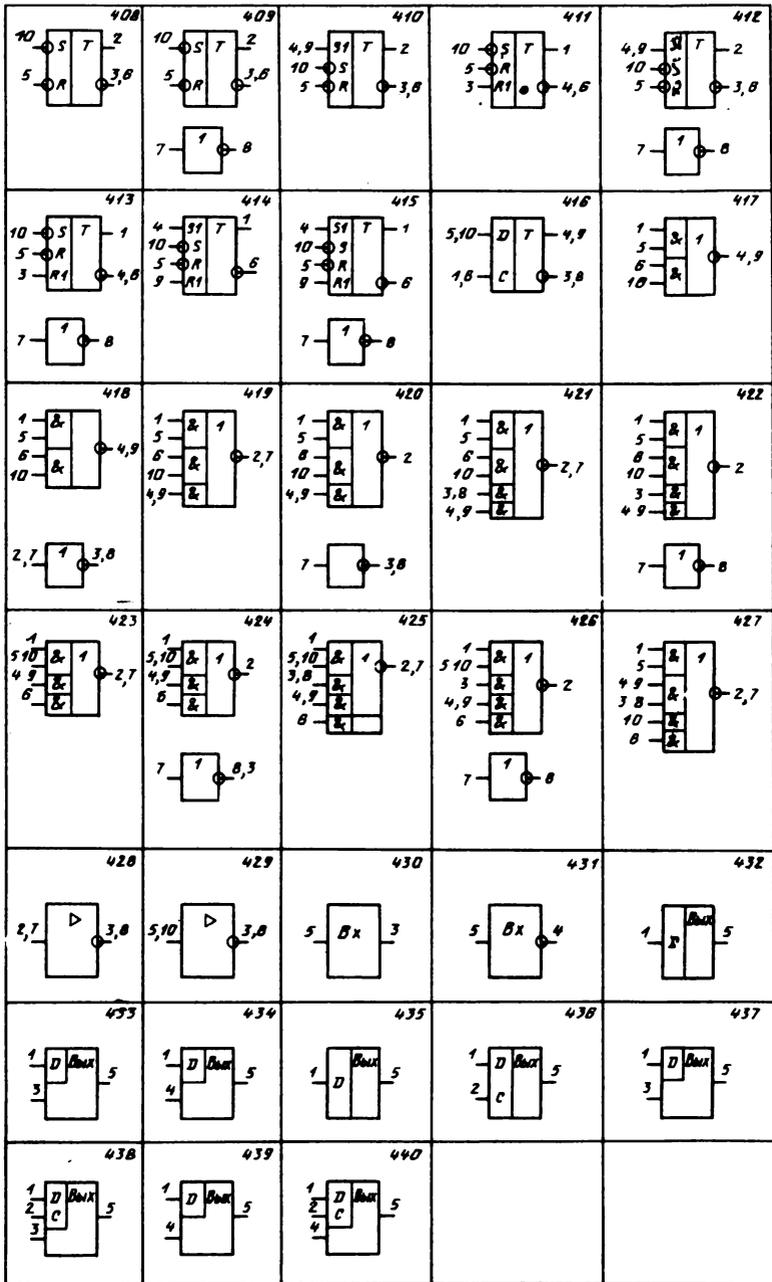




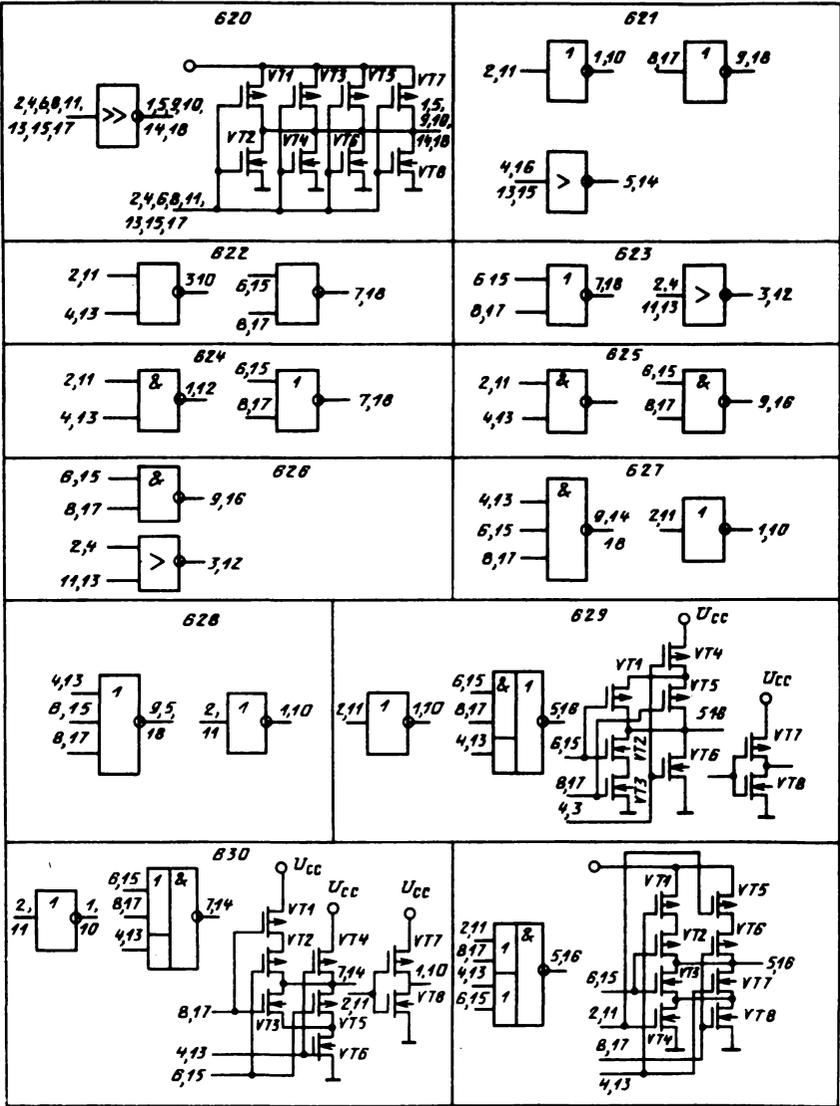


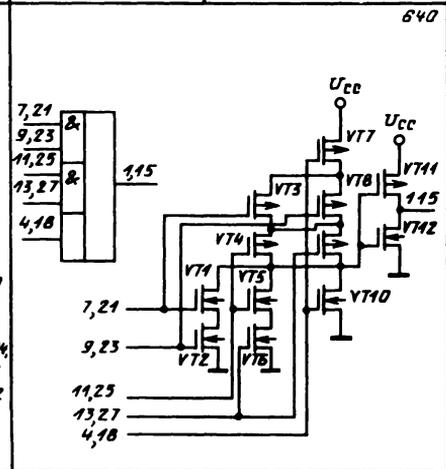
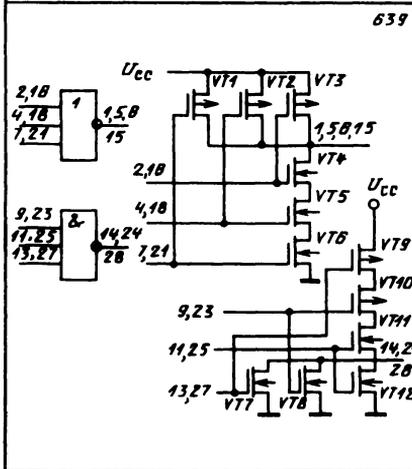
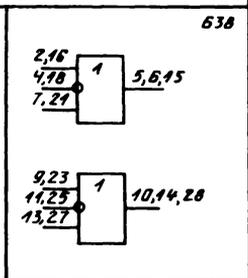
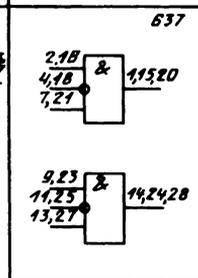
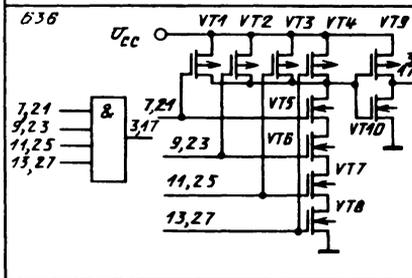
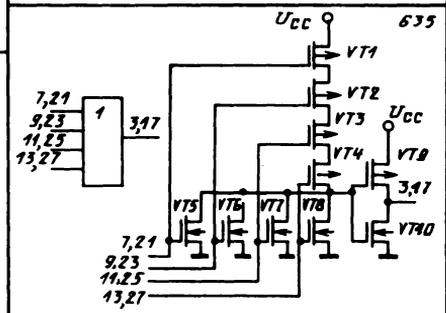
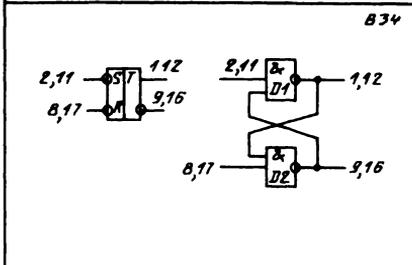
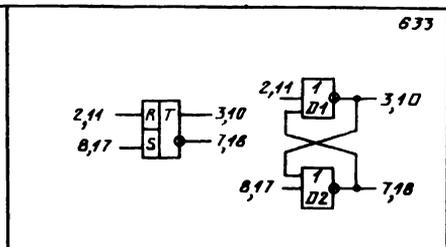
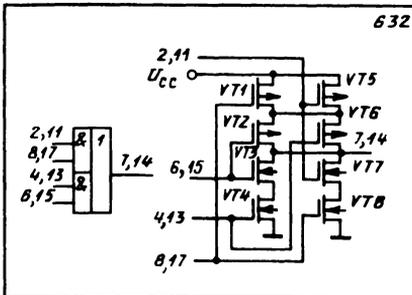
Приложение 7. Условные графические обозначения  
библиотечных ФЯ БМК типа К1801ВП1

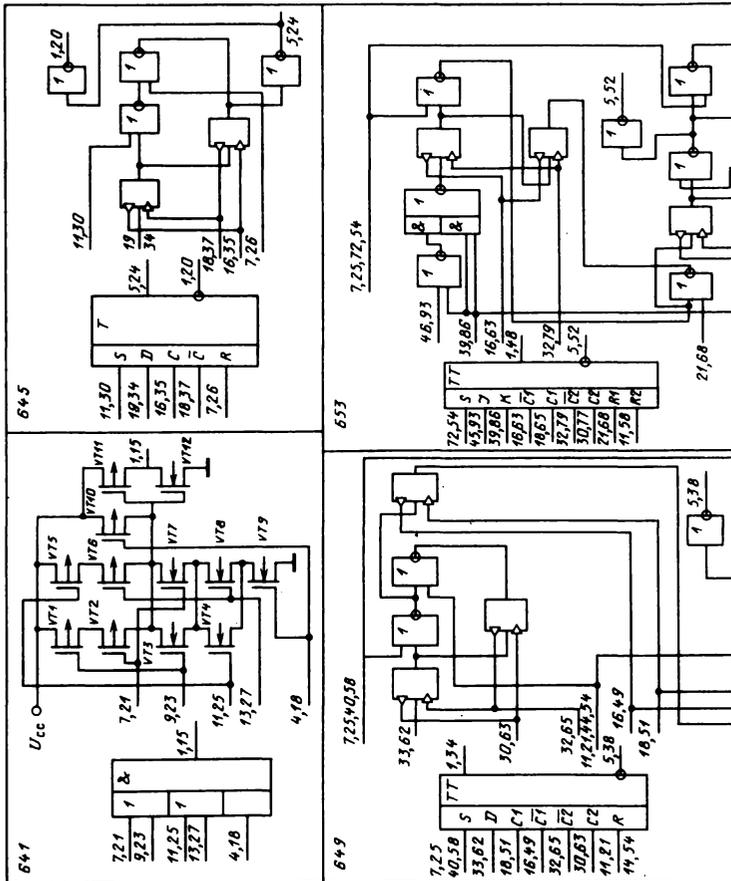
<p>370</p>	<p>371</p>	<p>372</p>	<p>373</p>	<p>374</p>
<p>375</p>	<p>376</p>	<p>377</p>	<p>378</p>	<p>379</p>
<p>380</p>	<p>381</p>	<p>382</p>	<p>383</p>	<p>384</p>
<p>385</p>	<p>386</p>	<p>387</p>	<p>388</p>	<p>389</p>
<p>390</p>	<p>391</p>	<p>392</p>	<p>393</p>	<p>394</p>
<p>395</p>	<p>396</p>	<p>397</p>	<p>398</p>	<p>399</p>
<p>400</p>	<p>401</p>	<p>402</p>	<p>403</p>	<p>404</p>
<p>405</p>	<p>406</p>	<p>407</p>		

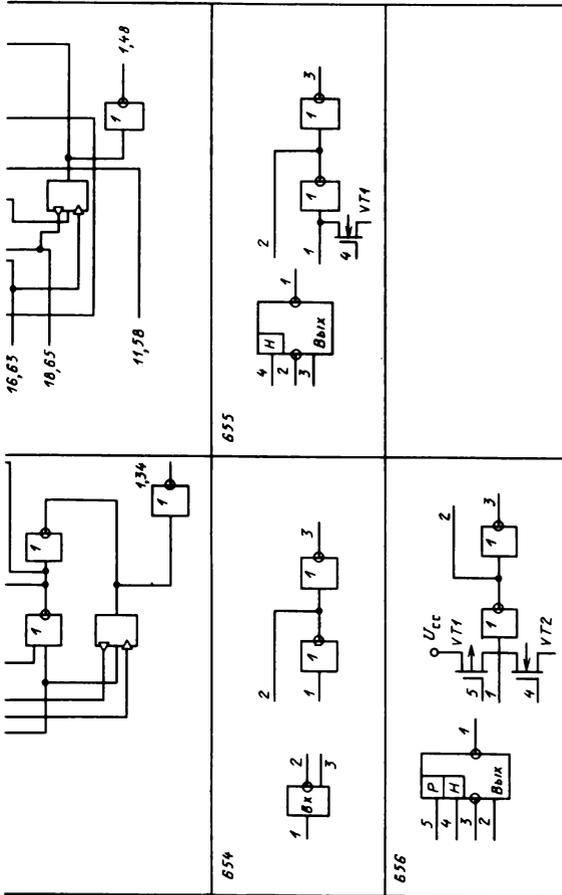




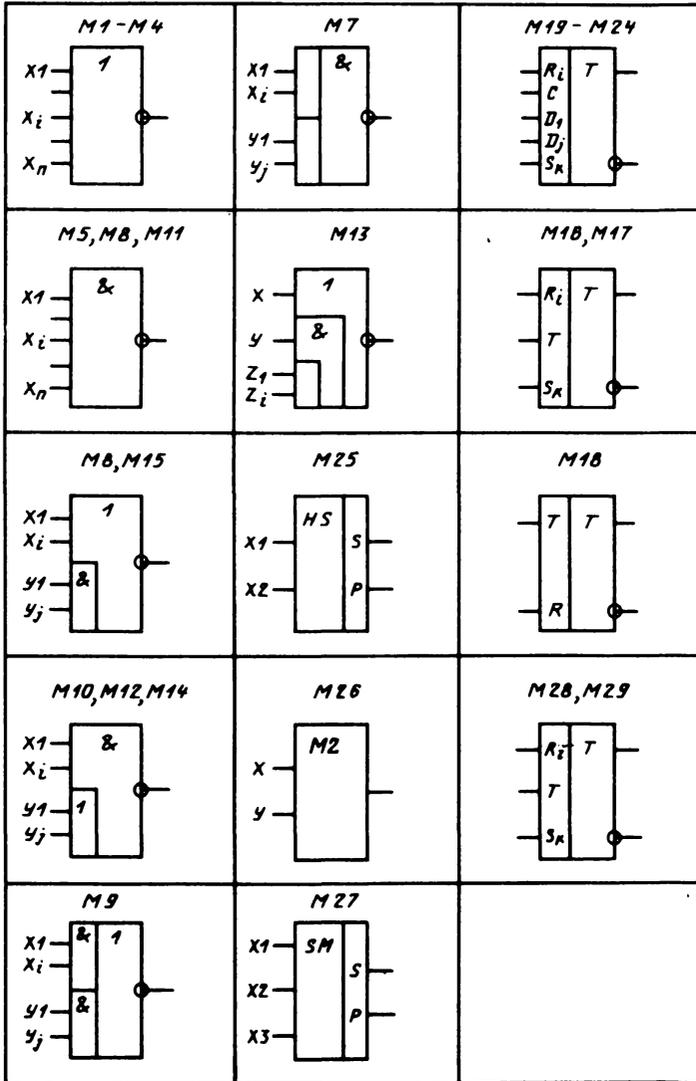








**Приложение 9. Условные графические обозначения библиотечных ФЯ БМК типа К6501ХМ1**



## П о с л е с л о в и е. П е р с п е к т и в н ы е С А П Р н а п е р с о н а л ь н ы х Э В М

В последние годы САПР матричных БИС ТОПОЛОГИЯ, созданная в Белорусском университете на базе ПЭВМ класса IBM PC/AT, внедрена на НПО ИНТЕГРАЛ, БПО "Экран" при проектировании на кристаллах серий "Домбай-35", ПВМ-4, ПВМ-20, "Дефлектор-ЗК" и других со степенью интеграции до 100 000 транзисторов.

В системе реализованы следующие принципы:

гибкая настройка на тип кристалла, на принятую методику проектирования, технологические ограничения;

декомпозиционно-иерархический подход к проектированию на основе банка алгоритмов кластеризации;

наличие альтернативных автоматических функций размещения и трассировки на всех стадиях проектирования.

Основными компонентами системы являются: интерактивный графический редактор (графредактор), планировщик кристалла, авторазместитель блоков, автотрассировщик, HELP-подсистема, подсистема ВВОДА-ВЫВОДА.

Управляющее ядро системы ТОПОЛОГИЯ составляет интерактивный графредактор эскиза топологии, в основу которого положены следующие принципы.

**Достижение высокой реактивности системы.** База данных проектирования в графредакторе размещается в оперативной памяти ПЭВМ. В этом случае построение изображения при движении окна, связанное с просмотром всей базы данных, выполняется за приемлемое время, что отвечает требованию реактивности. Применяются специальные структуры данных, позволяющие реализовать эффективные алгоритмы обработки и контроля графической информации и только целочисленная арифметика.

**Безошибочное проектирование.** Во время размещения элементов курсор графредактора может перемещаться только по сетке позиций размещения ячеек, полученной из описания кристалла; тем самым обеспечивается безошибочная привязка элементов к позициям размещения соответствующих ячеек кристалла; аналогично трассировка межсоединений ведется по сетке трассировки, также полученной из описания кристалла, чем обеспечивается соблюдение проектных норм; кроме того, осуществляется контроль пересечения элементов, соответствия трасс исходной схеме и др.

**Удобство диалога.** В графредакторе интерфейс с пользователем строится на основе двух методов: иерархического меню и клавишно-командного управления. Меню задается в виде перечня допустимых команд. При клавишно-командном методе команда инициируется при нажатии клавиши (функциональной или начальной буквы названия команды). В графредакторе для отображения эскиза топологии и вывода информационных сообщений, запросов и меню широко используется метод полиэкрана и техника "окон".

**Полнота функций интерактивного проектирования.** Графредактор представляет проектировщику широкий набор функций для размещения и трассировки библиотечных элементов. Он производит установку, удаление и перемещение элементов, сдвиг элементов в линейке, изменение ориентации элементов, перестановку элементов местами, а также проводит соединение контактов элементов в двух слоях, удаляет трассу или ее часть, размещает или удаляет межслойные переходы. Места посадки элементов можно задавать курсором или вводить координаты с клавиатуры.

**Проектирование БИС с высокой интеграцией.** В графредакторе имеется возможность иерархического проектирования. Несмотря на ограниченный объем оперативной памяти ПЭВМ и недостаточную разрешающую способность дисплея, иерархический подход к проектированию топологии позволяет проектировать БИС достаточно высокой интеграции. Масштабирование дает возможность отобразить значительную часть кристалла на экране ПЭВМ.

**Обеспечение визуальной помощи проектировщику.** Графредактор дает возможность просмотреть исходные данные проектирования (схему, описание БМК, описание библиотеки), статистические данные о проекте. Он выделяет другим цветом трассируемую цель, если она уже частично оттрассирована, а пульсирующими точками показывает те контакты элементов, которые требуется соединить трассами; при этом учитывается наличие дублированных контактов. По запросу можно получить "резиновые связи" заданных элементов, контактов или цепей. В любой момент можно получить справочную информацию о командах графредактора или их параметрах.

**Надежность работы системы.** В любой момент времени проектировщик может прервать работу и сохранить незавершенный проект на диске для дальнейшей работы, распечатать эскиз топологии на принтере. При удалении объектов всегда делается запрос на подтверждение операции. Предусмотрен постоянный контроль вводимых команд и параметров на правильность синтаксиса.

**Планировщик реализует банк алгоритмов кластеризации.** Суть метода кластеризации заключается в следующем: последовательно делится на две части заданная область кристалла и элементы схемы, таким образом, чтобы минимизировать число связей между частями при условии одинаковой плотности наполнения кластеров. В процессе деления происходит примерная упаковка цепей как деревьев Штейнера на полученных зонах кристалла. Таким образом, после завершения процесса планировки каждый из неспроектированных макроэлементов будет иметь точку привязки на кристалле.

**Алгоритмы, включенные в банк,** используют различные идеи и стратегии как кластерного анализа, так и дескретной оптимизации. Для порождения семейств алгоритмов применяются различные методики аппроксимации функций мер связности и различные тактики деления: дихотомия, четвертование и т.д.

При размещении учитываются ориентация и необходимые зазоры для трасс.

Авторазместитель блоков и автотрассировщик реализуют банки как известных алгоритмических знаний, так и новых, а также экспертный опыт. Математический вид задачи размещения чаще всего сводится к применению различных оптимизационных алгоритмов на графах. Основная сложность заключается в многокритериальности задачи, т.е. необходимо оптимизировать сразу несколько оценочных характеристик: суммарную длину соединений (СДС), число пересечений трасс, максимальное число трасс в канале, количество транзитных соединений и др.

Весь процесс размещения в системе ТОПОЛОГИЯ разделен на два этапа: планировка (кластеризация) и локальное размещение. В связи с тем что первый этап уменьшает размерность задачи, на втором этапе появляется возможность использовать более сложные алгоритмы.

В системе ТОПОЛОГИЯ реализованы следующие подходы локального размещения фрагмента схемы.

Размещение элементов схемы в линейку и последующая упаковка различными способами на площади, выделенной под фрагмент. Критерием оптимизации является разрезное число линеаризованного графа, что физически соответствует минимизации числа трасс в канале. Следствием учета этого критерия является минимизация суммарной длины соединений. Выбором соответствующей упаковки можно управлять такими общими критериями качества, как СДС, число транзитных соединений через линейки фрагмента, равномерная загруженность горизонтальных и вертикальных каналов для трассировки, число межслойных переходов, что позволяет выбрать компромиссный вариант размещения элементов. Применяя различные виды упаковки цепей, можно регулировать связи с внешними выводами фрагмента.

Схема фрагмента заменяется ступенчатой графовой моделью. Количество ступеней совпадает с числом линеек во фрагменте. Компоновка линеек производится с учетом размеров фрагмента и минимизацией числа транзитных соединений между линейками. При формировании линеек вместо транзитных трасс вводятся фиктивные элементы шириной в одну дискрету. Для улучшения качества компоновки линеек можно задействовать процедуру шуфлирования, которая сокращает число транзитных трасс. После компоновки производится упорядочение элементов в линейках. На каждом шаге алгоритма в линейку с минимальной координатой первого свободного посадочного места помещается элемент, который задействует наибольшее число трасс, проходящих через вертикальное сечение в минимальной координате двух соседних каналов выбранной линейки – принцип максимальной связности. При этом фиктивные элементы размещаются с приоритетом, при равных значениях функции оценки. В результате работы алгоритма назначаются координаты не только элементам, но и прорывам.

В программной реализации алгоритма введены параметры, которые позволяют управлять группированием элементов на площади фрагмента.

**Размещение не только библиотечных элементов, но и неспроектированных фрагментов.** Размещение библиотечных элементов производится по принципу максимальной связности с контактами на границе фрагмента и друг с другом. Неспроектированному фрагменту назначаются габариты максимального по площади вписанного прямоугольника. Для оценки размещений в системе введены оценочные функции СДС, критических цепей, равномерности размещения.

**Автоматическое одновременное размещение и трассировка.** При этом динамически решаются следующие задачи:

- выбор фрагмента кристалла для проектирования;
- выбор элементов для размещения в текущем фрагменте;
- размещение элементов во фрагменте со 100%-ной разводкой внутренних связей и выводом незавершенных цепей на границу фрагмента с учетом инвариантных выводов и возможных ориентаций элементов;

- выбор области трассировки автоматически с учетом плотности использования кристалла;

- обеспечение на каждом этапе проектирования максимальной реализации цепей быстрыми потоковыми алгоритмами с одновременной дотрассировкой свободных зон в ранее растрассированной области;

- приоритетное завершение критических цепей;
- автономное проектирование фрагмента схемы на любой части кристалла;

- трассировка зависит линейно (трудоемкость, память) только от ширины проектируемой части кристалла и может быть использована на любом уровне проектирования;

- специально разработанный аппарат обеспечивает контроль на отсутствие контуров в цепях и реализацию связи минимальной длины между различными фрагментами одной цепи в области трассировки.

Недостаток такого подхода – использование только локальной информации при размещении и трассировке устраняется путем использования информации о глобальной планировке кристалла и схемы.

В автотрассировщике реализованы как традиционные канальные и волновые алгоритмы, так и новые параллельно-поточные и декомпозиционно-волновые. При декомпозиционно-волновых кристалл разбивается на фрагменты одинакового размера и выполняется глобальная трассировка, определяющая прохождение цепей через фрагменты. Качество глобальной трассировки оценивается функциями, гибко настраиваемыми на тип кристалла. Сама же глобальная трассировка производится тем же алгоритмом, что и локальная. Для локальной трассировки во фрагментах используется модифицированный волновой алгоритм, параметры которого позволяют проводить отрезки трасс

необязательно в жестко закрепленных слоях (например, вертикальные отрезки в одном слое, горизонтальные – в другом), что обеспечивает лучшее качество трассировки. В процессе локальной трассировки происходит также автоматическая стыковка нефрагментных соединений. Порядок трассировки цепей схемы определяется критичностью цепей. Одним из основных преимуществ такого подхода является независимость от размеров проектируемого кристалла, что особенно важно с ростом степени интеграции БИС.

Автотрассировщик позволяет интерактивное вмешательство в процесс трассировки.

HELP-подсистема дает возможность просмотреть исходные данные проектирования (схему, описание кристалла, описание библиотеки элементов), справочную информацию о состоянии проектируемой топологии, статистические данные о проекте.

Подсистема ВВОДА–ВЫВОДА осуществляет ведение базы данных проектируемой схемы.

Основные достоинства САПР ТОПОЛОГИЯ:

высокие скоростные характеристики благодаря оригинальным структурам данных и оптимальным алгоритмам их обработки, позволяющим эффективно использовать ограниченные возможности ПЭВМ;

полный контроль действий разработчика;

стандартные форматы входных (LOGIC) и выходных (SOURCE) данных;

интерфейс с системами P-CAD и AutoCAD;

минимальные требования к аппаратным средствам.

На ПЭВМ IBM PC/AT по скорости работы и интеграции схем САПР ТОПОЛОГИЯ не имеет аналогов, а при установке на компьютеры класса 1486 сравнима со специализированными АРМ лучших зарубежных фирм.

Завершается работа над системой схемотехнического проектирования, реализующей новый матроидный подход к декомпозиции и существенно более мощный, чем SPACE.

В Институте систем информатики СО АН проводятся научные исследования, направленные на создание САПР полузаказных и заказных СБИС (САПР ИСИ) со сквозным циклом проектирования.

Работы по созданию САПР ИСИ базируются на методологии кремниевой компиляции (КК) и являются конкретным ее выражением для кристаллов типа "море вентиляй". Метод КК позволяет сокращать длительность цикла создания кристаллов, превышающую пока продолжительность выпуска изделий, в которых применяются эти кристаллы.

Суть метода КК состоит в следующем. Описание проектируемой схемы разбивается на описания более мелких функциональных блоков (АЛУ, ОЗУ и т.д.), которые в свою очередь, разбиваются на еще более мелкие компоненты (логические элементы И, ИЛИ и др.). Далее

описания логических вентилях (компонентов) преобразуются в описания их базовых схемных реализаций с использованием транзисторов, проводников, контактов.

Иерархия описаний типовых функциональных элементов составляет библиотеку параметризованных элементов. Метод КК позволяет разработчику вводить в ЭВМ схемное описание, которое автоматически преобразуется в топологию соответствующего кремниевого кристалла.

В результате проведения исследований создана САПР ИСИ, включающая:

а) интерактивное средство логического моделирования различного уровня: транзисторного, вентильного, межрегистровых передач;

б) средство автоматического синтеза топологии, выполняющее размещение и трассировку заказных и полузаказных СБИС с интерактивной настройкой на библиотеку стандартных элементов.

Все программные средства САПР ИСИ разработаны и реализованы в ИСИ, написаны на языке СИ, совместимы по интерфейсам и могут быть использованы в различных комбинациях. САПР ИСИ является открытой системой, допускающей стыковку с другими системами и адаптацию под конкретные условия применения, определяемые заказчиком.

**Логическое моделирование в САПР ИСИ.** Одно из основных требований, предъявляемое к современным САПР, состоит в том, что они должны обеспечивать максимально возможный уровень бездефектной сети проектируемых СБИС. В связи с этим разработчику СБИС в САПР ИСИ предоставляется широкий спектр возможностей по моделированию проектируемых схем на разных уровнях представления.

Следует отметить, что моделирование на больших наборах тестов функционально сложных устройств, содержащих десятки и сотни тысяч активных элементов, предъявляет серьезные требования к вычислительной мощности инструментальных ЭВМ. В связи с этим на практике разработчики САПР СБИС сталкиваются с необходимостью компромиссного решения проблемы "точность моделирования против времени моделирования".

Действительно, для обеспечения высокой точности моделирования при проектировании СБИС необходимо работать с более детальными описаниями схемы, что влечет за собой увеличение времени моделирования. С другой стороны, при повышении уровня представления (например, при переходе с транзисторного на библиотечный уровень) скорость моделирования может возрастать на несколько порядков, однако точность моделирования заметно падает.

В САПР ИСИ в качестве базовых выбраны два уровня моделирования – библиотечный (уровень макроэлементов) и переключательный (транзисторный уровень).

Реализованная в САПР ИСИ система смешанного моделирования фактически является объединением в интегрированную систему систем

логического моделирования различного уровня. Явным достоинством данной системы является то, что она позволяет моделировать схемы, часть которых описана на библиотечном уровне, другая часть – на транзисторном уровне.

Отмеченное достоинство системы смешанного моделирования особенно актуально для МОП-схем. Это связано с тем, что некоторые особенности этих схем (цепочки переходных транзисторов, шины с динамическим хранением информации) не могут быть адекватно смоделированы в базе логических элементов.

Поскольку соотношение между транзисторной и библиотечной частью в системе смешанного моделирования полностью определяется пользователем в процессе описания проектируемого устройства, варьируя это соотношение, можно добиться приемлемого соотношения между точностью и скоростью моделирования.

К комплексу моделирующих программ непосредственно примыкает ряд сервисных программ САПР ИСИ, позволяющих подготавливать тесты для проектируемых устройств, а также визуализировать результаты моделирования в удобном для пользователя виде. В настоящее время ведется разработка программ временного анализа и верификации на библиотечном и переключательном уровнях.

Подчеркнем, что программы логического моделирования, созданные при разработке САПР ИСИ, могут использоваться для разработки не только интегральных схем, но и устройств на стандартных компонентах (микросхем серий 155, 531 и др.).

**Топологический синтез в САПР ИСИ.** Для решения задачи размещения – трассировки используются модификации и комбинации известных методов: канальной трассировки, сечений, отжига и попарных перестановок. При решении задачи размещения трассировки в САПР ИСИ используются три группы операций:

геометрические преобразования, в том числе вращение, отражение, сдвиги;

трассировка шин питания, канальная трассировка, стыковка блоков;

проверка на соответствие топологическим нормам и корректировка интерфейса блоков.

Работа по созданию топологии имеет итеративный характер и для поддержки такого режима в системе имеется возможность оценить качество полученного результата. С этой целью пользователю САПР ИСИ выдаются информация об *RC*-характеристиках сигналов, а также габаритные размеры блоков и рисунок топологии спроектированного устройства. Если качество результата не удовлетворительно, можно изменить компоновочное решение вручную или посредством нового запуска алгоритмов размещения, возможно с изменением всех критических цепей.

**Методические аспекты применения САПР ИСИ.** В методическом плане в процессе проектирования СБИС с помощью САПР ИСИ мож-

но выделить ряд этапов, краткая характеристика которых приводится ниже.

В основе САПР ИСИ лежит библиотека типовых функциональных элементов разной степени интеграции, которая формируется из логических, топологических и временных моделей, создаваемых для каждого библиотечного элемента при разработке и развитии САПР ИСИ в ходе ее эксплуатации.

Так как САПР ИСИ позволяет проектировать схемы, представленные в заданном, принятом в САПР ИСИ, библиотечном базисе, то процесс проектирования СБИС в САПР начинается с разработки описания проектируемой СБИС уровня межрегистровых передач, состоящего из спецификаций библиотечных элементов (конкретизации значений настроечных параметров и связей между ними). Средства настройки на конкретные библиотеки САПР являются его составной частью.

Таким образом, разработчики СБИС перед использованием САПР формируют схемы из параметризованных библиотечных элементов, задавая им параметры генерации и указывая графы сигнальных связей между ними. Так порождается иерархическое описание проектируемых устройств, вводимых в САПР и последовательно обрабатываемых в нем рядом подсистем.

Основной маршрут проектирования СБИС с помощью САПР ИСИ включает в себя три этапа. На первом осуществляется отладка составленного описания проектируемой СБИС с помощью системы логического моделирования.

Основной задачей системы логического моделирования является проверка правильности функционирования проектируемой СБИС на различных тестовых последовательностях и устранение возможных ошибок проектирования. Кроме того, в процессе моделирования осуществляется накопление тестовых последовательностей для контроля работоспособности изготовленной СБИС.

На втором этапе проектирования в САПР по отлаженному описанию СБИС генерируется и полное топологическое описание. Синтез топологии кристалла распадается на фазу генерации топологии параметризованных библиотечных элементов и фазу размещения – трассировки. Особенностью подхода к генерации топологии библиотечных элементов является наличие гибких средств формирования сложных фрагментов топологии, задаваемых от функциональных и топологических параметров.

Для решения задачи размещения и трассировки автоматически или вручную определяется план кристалла и осуществляется глобальное распределение сигналов по трассированным каналам, а затем выполняется канальная трассировка, трассировка шин питания и ряд служебных действий. Одновременно с трассировкой подсчитываются *RC*-характеристики связей, необходимые для выполнения временного анализа.

Результатом работы системы топологического синтеза является рисунок топологии, файл, содержащий *RC*-характеристики сигнальных множеств, а также тестовый файл, содержащий описание кристалла в формате, пригодном для создания фотошаблона.

Заметим, что программы топологического синтеза САПР ИСИ допускают настройку на проектирование полностью заказных СБИС для широкого класса возможных библиотек либо на проектирование полужаказных схем на базовых кристаллах типа "море вентиляей".

Реализованные в САПР ИСИ алгоритмы трассировки ориентированы на полностью автоматическую трассировку, не требующую ручной доработки. Это обеспечивает высокую скорость работы пользователя при незначительной потере плотности упаковки. Выигрышем является возможность проектирования СБИС большой размерности (более 100 тысяч транзисторов).

Синтезированная на втором этапе топология кристалла не нуждается в проверке на нарушения конструкторско-технологических ограничений.

На третьем этапе по полному топологическому описанию проектируемой СБИС осуществляется временной анализ ее характеристик. Если спроектированная СБИС удовлетворяет заданию на проектирование, то процесс проектирования завершается. В противном случае цикл проектирования повторяется (полностью или частично).

Относительно независимой частью САПР ИСИ является подсистема разработки параметризованных библиотечных элементов. Подчеркнем, параметризация элементов и схем в реализованном в САПР ИСИ подходе является ключевым фактором повышения уровня описаний и увеличения гибкости (настраиваемости и перестраиваемости) системы.

Наличие параметров позволяет настраивать элемент на конкретный вариант технологии и создавать элемент с нефиксированной разрядностью, прошивками и т.д. Параметризация схемных описаний дает гибкий инструмент для варьирования характеристик СБИС на этапе моделирования и адаптации схемы к существующей библиотеке.

Таким образом, исходные данные для проектирования САПР ИСИ – описание проектируемого устройства на языке типа *SDL*. Конечный результат работ САПР ИСИ – логические и временные диаграммы работ спроектированного устройства и послойное описание фотошаблонов.

Подчеркнем, что САПР ИСИ ориентирована на применение недорогих ПЭВМ типа *IBM PC/AT-286, -386* в *MS-DOS* или программной среде *OS UNIX*. Это обеспечивает принципиальную возможность проектирования на ПЭВМ в условиях реального производства СБИС средней плотности.

Простота обращения с САПР ИСИ позволяет освоить основной маршрут проектирования СБИС в считанные дни. Настройка САПР

ИСИ на конкретные библиотеки доступна пользователю. Настройка САПР ИСИ на топологию конкретных базовых кристаллов – более сложный процесс. Его целесообразно осуществлять во взаимодействии с разработчиками.

САПР ИСИ позволяет значительно сократить общие трудозатраты на проектирование заказных и полузаказных СБИС (проектирование ведется на языке высокого уровня). Необходимые для моделирования, топологирования и временного анализа промежуточные представления в САПР ИСИ порождаются автоматически.

Технология проектирования заказных и полузаказных СБИС с помощью САПР ИСИ гарантирует, что изготовленные схемы будут иметь рабочие характеристики (потребляемую мощность, временные параметры, размер кристалла, разводку выводов, тестируемость), соответствующие характеристикам, предварительно определенным в ходе проектирования.

**Апробация и внедрение САПР ИСИ.** С помощью САПР ИСИ проектировались БИС объемом 30 000 транзисторов и 5000 логических элементов для полузаказных схем.

В ходе внедрения созданных программных средств были получены варианты топологического компилятора и системы моделирования, настроенные на конкретные кристаллы ПВМ-4, "Домбай" и "Синтак". Уже сейчас САПР ИСИ может быть применима при проектировании БИС под указанные кристаллы, а после определенной адаптации – под другие базовые кристаллы.

Традиционная технология ручного проектирования функционально не годится при проектировании многофункциональных сложных устройств в одном кристалле, требующих размещения в нем десятков–сотен тысяч транзисторов. В связи с этим применение КК вообще, и созданный САПР ИСИ в частности, является безальтернативным путем проектирования заказных и полузаказных СБИС в приемлемые сроки и требуемого качества. В целом САПР ИСИ реализует ресурсосберегающую технологию проектирования заказных и полузаказных СБИС.

## СПИСОК ЛИТЕРАТУРЫ

1. Микроэлектроника. Учеб. пособие для вузов. В 9-ти кн./ Под ред. Л.А. Коледова. Кн. 3. Базовые матричные кристаллы и программируемые логические матрицы/ М. Ф. Пономарев, Б. П. Коноплев. М.: Высшая школа, 1987. 94 с.
2. Мурога С. Системное проектирование сверхбольших интегральных схем: В 2-х кн./ Пер. с англ. М.: Мир, 1985. 290 с.
3. Окуда Н., Сугай М., Тото Н. Технология полузаказных и заказных СБИС// ТИИЭР. 1986. Т. 74, № 12. С. 44–55.
4. Фей К. Ф., Парасковолулос Д. Е. Техничко-экономический анализ специализированных ичтегральных схем: Современное состояние и перспективные тенденции// ТИИЭР. 1987. Т. 75, № 6. С. 103–117.
5. Коул Б. Матричные БИС типа "море вентиляй" с коэффициентом использования элементов 75%// Электроника. 1986. № 21. С. 12–13.
6. Lombardo T. Military aerospace systems// IEEE spectrum. 1982. Vol. 19, N 1. P. 45–48.
7. Пупин А. А., Разумов Ю. И. Базовые кристаллы и тенденции их развития// ЭЭТ. 1979. № 9. С. 3–44.
8. Пономарев М. Ф., Коноплев В. Г., Фомичев А. В. Базовые матричные кристаллы: Проектирование специализированных БИС на их основе. М.: Радио и связь, 1985. (Массовая б-ка инженера. Электроника; Вып. 46). 80 с.
9. Адамов Ю. Ф., Розинов В. Л. Полузаказные логические БИС и тенденции их развития// ЭЭТ, 1985, № 4. С. 23–61.
10. EDN. 1986. March 6. P. 112–121.
11. Тепкин В. И. Наивысшие параметры основных классов изделий электронной техники, достигнутые к 1988 г./ Тепкин В. И.// ЭЭТ, 1988. № 7. С. 3–12.
12. EDN. 1984. February 23. P. 136–155.
13. Богл А. Ведущее положение КМОП технологии в области разработки специализированных заказных ИС// Электроника. 1988. № 7. С. 61–67.
14. EDN. 1984. February 23. P. 156–158.
15. Абрайтис Л. Б. Автоматизация проектирования топологии цифровых интегральных микросхем. М.: Радио и связь, 1985.
16. Брейда Х. Н., Бланкс Дж. Методы автоматизированного размещения и трассировки для вентиляльных матриц и стандартных ячеек// ТИИЭР. 1987. Т. 75, № 6. С. 67–78.
17. Носотон А. Р., Санджовани-Винчетелли А. Л. Системы автоматизированного проектирования специализированных ИС// ТИИЭР. 1987. Т. 75, № 6. С. 30–42.
18. Автоматизированное проектирование СБИС на базовых кристаллах/ А. И. Петренко, В. Н. Лошаков, А. Д. Тетельбаум, Б. Л. Шрамченко. М.: Радио и связь, 1988.
19. Концепции построения и архитектура САПР СБИС/ Б. В. Баталов, В.А. Шепелев, В. М. Шемелинин, Н. И. Шавелев// Микроэлектроника и полупроводниковые приборы/ Под ред. А. А. Васенкова и Я. А. Федотова. М.: Радио и связь, 1984. Вып. 9. С. 16–24.

20. Беляков Ю. Н., Семенюк С. И. Рабочее место диалоговой подсистемы схемотехнического проектирования цифровых ИС САМРИС-3 на базе ИГС 15 УТ-4-017// Микроэлектроника и полупроводниковые приборы/ Под ред. А. А. Васенкова и Я. А. Федотова. М.: Радио и связь, 1984. Вып. 9. С. 174-185.
21. Аврамков П. П., Беляков Ю. Н., Наумов В. Н./ Система логико-топологического проектирования заказных матричных БИС (ЛОТОС)// Микроэлектроника и полупроводниковые приборы/ Под ред. А. А. Васенкова и Я. А. Федотова. М.: Радио и связь, 1984. Вып. 9. С. 260-269.
22. Быстродействующие матричные БИС и СБИС: Теория и проектирование/ Б. Н. Файзулаев, И. И. Шагурин, А. Н. Кармазинский и др./ Под общ. ред. Б.П. Файзулаева и И. И. Шагурина. М.: Радио и связь, 1989.
23. Применение интегральных микросхем в электронной вычислительной технике: Справочник/ Р. В. Данилов, С. А. Ельцова, Ю. П. Иванов и др./ Под ред. Б. Н. Файзулаева, Б. В. Тарабрина. М.: Радио и связь, 1986.
24. 16-разрядные микропроцессорные комплекты БИС между К1801/ В. Л. Дшхунян, С. С. Коваленко, П. Р. Машевич, Ю. Л. Отрохов// Электронная промышленность. 1987. Вып. 9. С. 91-92.
25. Микропроцессоры и микропроцессорные комплекты интегральных микросхем: Справочник: В 2-х т./ Н. Н. Аверьянов, А. Н. Березенко, Ю. И. Борщенко и др./ Под ред. В. А. Шахнова. М.: Радио и связь, 1988. Т. 2.
26. Интерфейсные БИС микропроцессорного комплекта К1801// Микропроцессорные средства и системы. 1988. № 4. С. 89-92.
27. Машевич П. Р., Прохоров А. Д., Шебаршин А. А. БМК серии К1515ХМ1 - эффективное средство снижения трудоемкости проектирования и разработки БИС// Электронная промышленность. 1987. Вып. 9 (167). С. 93-94.
28. Аналоговые базовые матричные кристаллы для радиотелевизионных систем/ А. А. Демин, С. А. Коршунов, В. В. Маркин и др./ Электронная промышленность. 1987. Вып. 9 (167). С. 94-96.
29. Electronic Design. 1985. Vol. 33, N 14. P. 81-104.
30. Electronic Design. 1982. Vol. 31, N 25. P. 125-132.
31. Exor product catalog, 1985.
32. Goodenough F. Analog arraysh standard cells, bilding one-chip systems// Ed. 01.09.85. P. 77-90.
33. Программируемые аналоговые матрицы и специализированные БИС на их основе/ Н. А. Самотаев, В. П. Солдатов, Л. А. Михеев, А. А. Лебедев// Зарубежная электронная техника. 1987. № 12. С. 3-52.
34. Goodenough F. Technology report, semiconductor technology// Electron Design. 1981. V. 32, N 12. P. 154-164, 166, 168, 170, 172, 174.
35. Иванов В. Н., Иванов В. В. Проектирование аналоговых систем на специализированных БИС// Обзоры по судостроительной технике. Л.: ЦНИИ "Румб", 1988.
36. DSPICE. The new dimension in analog design// Electronic engineering. 1987. 03. P. 95-104.
37. Kiepler R. PC-based programs aid analog-circuit design and analysis// EDN. 1986. Vol. 31, N 8. P. 175-188.
38. Walsh K. Simulate analog curcuits board without SPICE's shortcomings// ED. 1988. Vol. 36, N 3. P. 75-78.
39. Filseth E. SPICE extensions dinamically model thermal properties// EDN. 1988. Vol. 33, N 8. P. 169-180.
40. Прангишвили И. В. Микропроцессоры и локальные сети микроЭВМ в распределенных системах управления. М.: Энергоатомиздат, 1985.
41. Цифровая обработка информации на основе быстродействующих ВИС/ С. А. Гамкрелидзе, А. В. Завьялов, П. П. Мальцев, В. Г. Соколов/ Под ред. В. Г. Домрачева. М.: Энергоатомиздат, 1988.

42. Мальцев П. П. Интерфейсные БИС для цифровой обработки данных// ЦНИИ "Информсвязь", ДР № 1430–СВ, 1988.
43. Мальцев П. П. Интерфейсные БИС для систем цифровой обработки данных// Радиотехника. 1989. № 7. С. 97–98.
44. Бокарев А. В., Гаморин М. Ю., Кабанов А. И. БИС адаптера магистралей СМ ЭВМ и микроЭВМ "Электроника-60"// Микропроцессорные средства и системы. 1987. № 3. С. 3–6.
45. Бокарев А. В., Гаморин М. Ю., Кабанов А. И. Адаптер магистралей МПИ–ОШ// Микропроцессорные средства и системы. 1987. № 3. С. 6.
46. Интерфейсные БИС микропроцессорного комплекта К1801: микросхемы К1801ВП1–033// Микропроцессорные средства и системы. 1988. № 5. С. 87–94.
47. Интерфейсные БИС микропроцессорного комплекта К1801: микросхема К1801ВП1–034// Микропроцессорные средства и системы. 1988. № 6. С. 85–89.
48. Бертенев А. А., Беляев Е. Г. Программируемый контроллер для накопителей на гибких магнитных мини-дисках// Микропроцессорные средства и системы. 1986. № 4. С. 46–48.
49. Шмат В. К. Специализированные БИС управления для СБИС ЗУ ЦМД// Микропроцессорные средства и системы. 1987. № 6. С. 3–9.
50. Шмат В. К. Контроллер на основе СБИС ЗУ ЦМД для измерительно вычислительных комплексов// Микропроцессорные средства и системы. 1987. № 6. С. 9–13.
51. Контроллеры индикации и клавиатуры на основе нескоммутированных вентилях матриц/ Л. И. Преснухин, А. П. Соловьев, Н. Н. Кузнецов и др.// Микропроцессорные средства и системы. 1986. № 5. С. 70–74.

Производственно-практическое издание

Домрачев Вилен Григорьевич.  
Мальцев Петр Павлович  
Новаченко Игорь Викторович  
Пономарев Сергей Николаевич

## **БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ И МАТРИЧНЫЕ БИС**

Редактор издательства *А. Н. Гусьяккая*  
Художественные редакторы *Т. А. Дворецкова, А. Л. Вульфсон*  
Технический редактор *Е. В. Козлова*  
Корректор *Л. С. Тимохова*

ИБ № 3518

Набор выполнен в издательстве. Подписано в печать с оригинала-макета 17.01.92.  
Формат 60 x 88 1/16. Бумага офсетная № 2. Печать офсетная. Усл.печ.л. 13,72.  
Усл.кр.-отт. 13,96. Уч.-изд.л. 14,18. Тираж 3500 экз. Заказ 787. С077.

Энергоатомиздат, 113114, Москва, М-114, Шлюзовая наб., 10.

Отпечатано в Московской типографии № 9 НПО "Всесоюзная книжная палата"  
Министерства печати и информации Российской Федерации  
109033, Москва, Волочаевская ул., 40.

